

#3 | PRIORITY
PAPER
1-18-02
R. Rubin

Docket No.: 50090-447

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Motoshige IGARASHI, et al.

Serial No.:

Group Art Unit:

Filed: October 8, 2001

Examiner:

For: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

11046 U.S. PTO
09/971958
10/09/01

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:
Japanese Patent Application No. 2001-108720,
Filed April 6, 2001

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Gene Z. Robinson

Gene Z. Robinson
Registration No. 33,351

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 GZR:ykg
Date: October 8, 2001
Facsimile: (202) 756-8087

G469US

日 本 国 特 許
JAPAN PATENT OFFICE

庁 50090-447
OCTOBER 8, 2001
IGARASHI, ETAL.
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月 6日

出 願 番 号

Application Number:

特願2001-108720

出 願 人

Applicant(s):

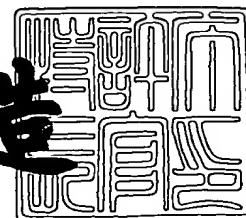
三菱電機株式会社



2001年 4月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3036867

【書類名】 特許願

【整理番号】 529529JP01

【提出日】 平成13年 4月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 五十嵐 元繁

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 網城 啓之

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の両側の前記半導体基板の表面領域に形成された 1 対の不純物拡散層と、

前記ゲート電極の側壁を覆い前記ゲート電極近傍における前記半導体基板上まで連なるように形成された第 1 の絶縁膜とを備えたことを特徴とする半導体装置

。 【請求項 2】 前記第 1 の絶縁膜が略均一な膜厚で形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 の絶縁膜及び前記ゲート電極を含む前記半導体基板の上を覆い、エッチングストッパー膜として機能する第 2 の絶縁膜を備えたことを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 前記第 1 の絶縁膜の前記ゲート電極の横方向への長さが前記第 1 の絶縁膜の膜厚の 2 倍以上であることを特徴とする請求項 1 ～ 3 のいずれかに記載の半導体装置。

【請求項 5】 前記ゲート電極の側壁における前記第 2 の絶縁膜の膜厚が前記ゲート電極の上部における前記第 2 の絶縁膜の膜厚より小さく、かつ前記ゲート電極の側壁における前記第 2 の絶縁膜の膜厚が前記半導体基板上における前記第 2 の絶縁膜の膜厚より小さいことを特徴とする請求項 3 又は 4 記載の半導体装置。

【請求項 6】 前記ゲート電極の上部における前記第 2 の絶縁膜の膜厚が前記半導体基板上における前記第 2 の絶縁膜の膜厚より小さいことを特徴とする請求項 3 ～ 5 のいずれかに記載の半導体装置。

【請求項 7】 前記第 1 の絶縁膜の膜厚と前記ゲート電極の側壁における前記第 2 の絶縁膜の膜厚との和が前記第 1 の絶縁膜の前記ゲート電極の横方向への長さと同程度のことを特徴とする請求項 1 ～ 6 のいずれかに記載の半導体装置。

【請求項 8】 隣接する前記ゲート電極の間に層間絶縁膜が形成されており、前記ゲート電極間の前記層間絶縁膜に空洞領域が形成されていることを特徴とする請求項 1～7 のいずれかに記載の半導体装置。

【請求項 9】 前記半導体基板上に形成された前記第 1 の絶縁膜の下層における前記不純物拡散層の不純物濃度が前記ゲート電極に対して更に外側の前記不純物拡散層の不純物濃度よりも低濃度とされていることを特徴とする請求項 1～8 のいずれかに記載の半導体装置。

【請求項 10】 隣接する前記ゲート電極間における前記不純物拡散層の表面に低抵抗膜が形成されていることを特徴とする請求項 1～9 のいずれかに記載の半導体装置。

【請求項 11】 前記ゲート電極の上部に低抵抗膜が形成されていることを特徴とする請求項 1～10 のいずれかに記載の半導体装置。

【請求項 12】 前記ゲート電極の側面に低抵抗膜が形成されていることを特徴とする請求項 1～11 のいずれかに記載の半導体装置。

【請求項 13】 隣接する前記ゲート電極間に層間絶縁膜が形成されており、前記層間絶縁膜及び前記ゲート電極上に少なくともシリコン酸化膜の比誘電率よりも低い低比誘電率膜が形成されていることを特徴とする請求項 1～12 のいずれかに記載の半導体装置。

【請求項 14】 前記ゲート電極の上部において前記第 2 の絶縁膜が除去されており、前記ゲート電極と前記低比誘電率膜が密着していることを特徴とする請求項 13 記載の半導体装置。

【請求項 15】 前記ゲート電極の側壁における前記第 1 及び第 2 の絶縁膜が上から所定量除去されており、この部位に前記低比誘電率膜上層が充填されていることを特徴とする請求項 14 記載の半導体装置。

【請求項 16】 前記ゲート電極上において前記ゲート電極と接続されるときともに前記不純物拡散層の一方と接続されたコンタクト電極を備えたことを特徴とする請求項 1～15 のいずれかに記載の半導体装置。

【請求項 17】 半導体基板上にゲート絶縁膜を介してゲート電極を形成する第 1 の工程と、

前記ゲート電極の上面、側面及び前記半導体基板上を覆うように第 1 の絶縁膜を形成する第 2 の工程と、

前記第 1 の絶縁膜上に前記第 1 の絶縁膜をエッチングするためのエッチングマスク膜を形成する第 3 の工程と、

異方性エッチングにより前記ゲート電極の側壁部以外のエッチングマスク膜を除去し、前記ゲート電極の側壁部に残存したエッチングマスク膜をマスクとして引き続き前記第 1 の絶縁膜のエッチングを行うことにより前記第 1 の絶縁膜を前記ゲート電極の側壁から前記エッチングマスク膜の下層における前記半導体基板まで連なる形状とする第 4 の工程と、

前記エッチングマスク膜を除去する第 5 の工程と、

前記半導体基板上の全面に第 2 の絶縁膜を形成して、前記ゲート電極及び前記半導体基板上を覆う第 6 の工程を有することを特徴とする半導体装置の製造方法。

【請求項 1 8】 前記第 4 の工程において、前記半導体基板上において前記第 1 の絶縁膜の前記ゲート電極の横方向への長さが前記第 1 の絶縁膜の膜厚の 2 倍以上となるようにエッチングを行うことを特徴とする請求項 1 7 記載の半導体装置の製造方法。

【請求項 1 9】 前記第 6 の工程において、前記ゲート電極の側壁部における前記第 2 の絶縁膜の膜厚が前記ゲート電極の上部における前記第 2 の絶縁膜の膜厚より小さく、かつ前記ゲート電極の側壁部における前記第 2 の絶縁膜の膜厚が前記半導体基板上における前記第 2 の絶縁膜の膜厚より小さくなるように前記第 2 の絶縁膜を形成することを特徴とする請求項 1 7 又は 1 8 記載の半導体装置の製造方法。

【請求項 2 0】 前記第 6 の工程において、前記ゲート電極の上部における前記第 2 の絶縁膜の膜厚が前記半導体基板上における前記第 2 の絶縁膜の膜厚より小さくなるように前記第 2 の絶縁膜を形成することを特徴とする請求項 1 7 ～ 1 9 のいずれかに記載の半導体装置の製造方法。

【請求項 2 1】 前記第 1 の絶縁膜の膜厚と前記ゲート電極の側壁部における前記第 2 の絶縁膜の膜厚との和が前記半導体基板上における前記第 1 の絶縁膜

の前記ゲート電極の横方向への長さと同等しくなるように前記第 1 及び第 2 の絶縁膜を形成することを特徴とする請求項 1 7 ～ 2 0 のいずれかに記載の半導体装置の製造方法。

【請求項 2 2】 前記第 1 の工程と前記第 2 の工程の間に、前記ゲート電極をマスクとして前記半導体基板の表面領域に不純物を導入して不純物拡散層を形成する第 7 の工程を更に有することを特徴とする請求項 1 7 ～ 2 1 のいずれかに記載の半導体装置の製造方法。

【請求項 2 3】 前記第 4 の工程の後、前記第 6 の工程の前に、少なくとも前記ゲート電極及び前記第 1 の絶縁膜をマスクとして前記第 7 の工程よりも高濃度の不純物を前記半導体基板の表面領域に導入する第 8 の工程を更に有することを特徴とする請求項 2 2 記載の半導体装置の製造方法。

【請求項 2 4】 前記第 4 の工程後に、
前記ゲート電極上及び前記不純物拡散層上に高融点金属膜を形成する第 9 の工程と、

熱処理を施して前記高融点金属膜と前記ゲート電極又は前記不純物拡散層における前記半導体基板とを反応させて低抵抗膜を形成する第 1 0 の工程とを更に有することを特徴とする請求項 1 7 ～ 2 3 のいずれかに記載の半導体装置の製造方法。

【請求項 2 5】 前記第 6 の工程後に、
前記第 2 の絶縁膜上に層間絶縁膜を形成する第 1 1 の工程と、
前記不純物拡散層に到達する開孔を前記層間絶縁膜及び前記第 2 の絶縁膜に形成する第 1 2 の工程と、

前記開孔を充填する導電膜を形成する第 1 3 の工程とを更に有することを特徴とする請求項 1 7 ～ 2 4 のいずれかに記載の半導体装置の製造方法。

【請求項 2 6】 前記第 1 2 の工程において前記開孔を前記不純物拡散層とともに前記ゲート電極に到達するように形成し、

前記第 1 3 の工程において、前記導電膜を前記ゲート電極及び前記不純物拡散層に接続することを特徴とする請求項 2 5 記載の半導体装置の製造方法。

【請求項 2 7】 前記第 1 1 の工程後、隣接する前記ゲート電極間における

前記層間絶縁膜中に空洞領域を形成する第 1 4 の工程を更に有することを特徴とする請求項 2 5 記載の半導体装置の製造方法。

【請求項 2 8】 前記第 6 の工程後に、

前記第 2 の絶縁膜上に層間絶縁膜を形成する第 1 5 の工程と、

前記ゲート電極の上面が露出するまで前記層間絶縁膜及び前記ゲート電極上の前記第 2 の絶縁膜を研磨して除去する第 1 6 の工程と、

露出した前記ゲート電極上、前記ゲート電極間の前記層間絶縁膜上を含む前記半導体基板上にシリコン酸化膜よりも比誘電率の低い低比誘電率の絶縁膜を形成する第 1 7 の工程とを更に有することを特徴とする請求項 1 7 記載の半導体装置の製造方法。

【請求項 2 9】 前記第 1 6 の工程と前記第 1 7 の工程の間に、前記ゲート電極の両側において露出している前記第 1 及び第 2 の絶縁膜をウエットエッチングにより上部から所定量だけ除去する第 1 8 の工程を更に有し、

前記第 1 7 の工程において、前記低比誘電率の絶縁膜を前記第 1 8 の工程において前記第 1 及び第 2 の絶縁膜を除去した部位を充填するように形成することを特徴とする請求項 2 8 記載の半導体装置の製造方法。

【請求項 3 0】 前記第 1 8 の工程後、前記第 1 7 の工程前に、

露出している前記ゲート電極の上面及び側面に高融点金属膜を形成する第 1 9 の工程と、

熱処理を施して前記ゲート電極と前記高融点金属膜とを反応させて、前記ゲート電極の上面及び側面に低抵抗膜を形成する第 2 0 の工程を更に有することを特徴とする請求項 2 9 記載の半導体装置の製造方法。

【請求項 3 1】 前記第 1 3 の工程後に、

前記層間絶縁膜、前記第 2 の絶縁膜及び前記第 1 の絶縁膜を順次除去する第 2 1 の工程と、

前記半導体基板上の全面にシリコン酸化膜よりも比誘電率の低い低比誘電率膜を形成して前記ゲート電極及び前記導電膜を覆う第 2 2 の工程と、

前記低比誘電率の絶縁膜を研磨して前記導電膜を露出させる第 2 3 の工程とを有することを特徴とする請求項 1 7 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置及びその製造方法に関し、特にMOSトランジスタのゲート構造、ゲート配線およびLIC (Local Interconnect) を含むコンタクト構造に関するものである。

【0002】

【従来の技術】

半導体素子の微細化に伴い、上層から基板へのコンタクト形成領域のマージンも減少する傾向にある。このため、コンタクトが活性領域を踏み外した場合に素子分離端から基板へ電氣的ショートが発生することを防止するため、ボーダーレスコンタクト構造やセルフアラインコンタクト (Self Align Contact) 構造 (以下、SAC構造と称する) と呼ばれるコンタクト形成方法が積極的に採用されている。

【0003】

SAC構造では、一般的に層間絶縁膜としてよく使われているシリコン酸化膜とのエッチング選択比がとれる材料が必要となる。このような材料の一例としてシリコン窒化膜が挙げられる。このため、SAC構造のMOSトランジスタのゲート電極の周辺はシリコン窒化膜が多用されている。

【0004】

図16は、SAC構造のMOSトランジスタの構成を示す概略断面図である。このMOSトランジスタは、シリコン半導体基板101上にゲート酸化膜102を介して形成されたゲート電極103、ゲート電極103の両側のシリコン半導体基板1の表面領域に形成された一对の不純物拡散層104を有して構成されている。ここで、ゲート電極103は、下層のポリシリコン膜103aと上層のシリサイド膜103bの2層からなるサリサイド構造によって構成されている。また、サリサイド化により不純物拡散層104の表層にもシリサイド膜105が形成されている。

【0005】

ゲート電極103の側壁部には、サイドウォールスペーサ107が形成されている。そして、サイドウォールスペーサ107、シリサイド膜105及びシリサイド電極103bの表面をそれぞれ覆うようにシリコン窒化膜108が形成されている。エッチングストッパー膜108は、不純物拡散層104に接続されるコンタクト電極106のコンタクトホールに位置ズレが生じた場合であっても、コンタクトホールがゲート電極103若しくは素子分離端に到達することを抑止するエッチングストッパー膜として機能するものである。

【0006】

このような従来のSAC構造のMOSトランジスタにおいて、具体的にシリコン窒化膜が使用されてきた箇所としては、1) トランジスタゲートのサイドウォールスペーサ107、2) コンタクトホール、LIC配線等が素子分離膜、ゲート電極103近くに配置されたときに接合リークや配線ショートを防止するためのエッチングストッパー膜108等が挙げられる。

【0007】

【発明が解決しようとする課題】

しかしながら、シリコン窒化膜はシリコン酸化膜と比べ比誘電率が2倍以上と高いため、ゲート電極103とソース/ドレイン等の不純物拡散層104間の容量、隣接するトランジスタ同士のゲート電極103間の容量、ゲート電極103-コンタクト電極間106の容量、ゲート電極-LIC配線間の容量を増大させてしまう。ソースやドレインとの抵抗を下げるため、トランジスタゲートに沿ってLIC配線を平行に形成した場合は、特に容量の増大が顕著であった。

【0008】

図17は各世代のゲートオーバーラップ容量を示す模式図である。世代が進むと、ゲートと拡散層間の容量(C1)に対して、ゲート電極-コンタクト間の容量(C2)の割合が増えていくことが判る。この理由としては、微細化とともにゲート電極のピッチやゲート電極-コンタクトホール間の距離が縮小していくこと、また特にゲート周辺の絶縁膜中に占める窒化膜の割合が増え、実効的な比誘電率が高くなっていくことが挙げられる。このような寄生容量の増大は、微細化による高速性、低消費電力というメリットを阻害する要因となっていた。

【0009】

更に、図18に示すように、トランジスタのピッチが縮小すると、サイドウォールスペーサ107に囲まれた不純物拡散層104にシリサイドを形成することが困難となる問題が生じていた。ゲート電極103間がサイドウォールスペーサ107に阻まれてしまうため、スパッタ法等の方法では高融点金属膜の成膜が困難となるためである。また、ゲート電極間において窒化膜のストレスによりシリサイド成長が抑制されてしまうという問題も生じていた。その結果、シリサイド抵抗が上昇し、デバイス的高速動作が阻害されることとなっていた。

【0010】

一方で、ゲート電極と不純物拡散層を同時に接続するコンタクトホール（以下、シェアードコンタクトと称する）は、メモリセルサイズの縮小が可能なため、高集積化が求められるSRAMセルなどに使用されてきている。図19は、シェアードコンタクト電極114を有するMOSトランジスタの一例を示す概略断面図である。シェアードコンタクトの特徴は、ゲート電極に対して電極上部で接続を行う構造であるため、特別なマスクの追加やイオン注入工程を行うことなく、ゲート電極と拡散層を同時接続できることにある。

【0011】

しかしながら、図16、図18に示したようなサイドウォールスペーサ107やエッチングストッパー膜108を用いると、図19に示すようにサイドウォールスペーサ107、エッチングストッパー108の部分は少なくとも不純物拡散層105との接続に寄与することができない。従って、図19に示すように、シェアードコンタクトサイズが微細化に沿ったスケールリングができないため、メモリセルの縮小、高集積化の妨げとなっていた。

【0012】

更に、トランジスタのゲート電極103の幅 L_g が細くなるに従い、配線抵抗が増大し、シリサイド形成時の抵抗が不安定になるという問題も生じていた。

【0013】

この発明は上述のような問題を解決するためになされたものであり、第1の目的は、ゲート電極周辺の寄生容量の更なる低減を達成することにある。

【 0 0 1 4 】

また、第 2 の目的は、ゲートのピッチが縮小してもゲート間に低抵抗なシリサイド層を有する半導体装置を提供することにある。

【 0 0 1 5 】

また、第 3 の目的は、ゲートを構成する各膜の形状を最適化することにより、接合リーク不良、コンタクト抵抗の上昇が発生することを抑止することにある。

【 0 0 1 6 】

また、第 4 の目的は、シェアードコンタクトの径を更に縮小することにある。

【 0 0 1 7 】

また、第 5 の目的は、メモリセルサイズが縮小し、ゲート幅が細くなっても低抵抗なゲート電極を有する半導体装置を提供することにある。

【 0 0 1 8 】

【課題を解決するための手段】

この発明の半導体装置は、半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側の前記半導体基板の表面領域に形成された 1 対の不純物拡散層と、前記ゲート電極の側壁を覆い前記ゲート電極近傍における前記半導体基板上まで連なるように形成された第 1 の絶縁膜とを備えたものである。

【 0 0 1 9 】

また、前記第 1 の絶縁膜が略均一な膜厚で形成されているものである。

【 0 0 2 0 】

また、前記第 1 の絶縁膜及び前記ゲート電極を含む前記半導体基板の上を覆い、エッチングストッパー膜として機能する第 2 の絶縁膜を備えたものである。

【 0 0 2 1 】

また、前記第 1 の絶縁膜の前記ゲート電極の横方向への長さが前記第 1 の絶縁膜の膜厚の 2 倍以上としたものである。

【 0 0 2 2 】

また、前記ゲート電極の側壁における前記第 2 の絶縁膜の膜厚が前記ゲート電極の上部における前記第 2 の絶縁膜の膜厚より小さく、かつ前記ゲート電極の側

壁における前記第 2 の絶縁膜の膜厚が前記半導体基板上における前記第 2 の絶縁膜の膜厚より小さくしたものである。

【 0 0 2 3 】

また、前記ゲート電極の上部における前記第 2 の絶縁膜の膜厚が前記半導体基板上における前記第 2 の絶縁膜の膜厚より小さくしたものである。

【 0 0 2 4 】

また、前記第 1 の絶縁膜の膜厚と前記ゲート電極の側壁における前記第 2 の絶縁膜の膜厚との和が前記第 1 の絶縁膜の前記ゲート電極の横方向への長さと同程度の長さである。

【 0 0 2 5 】

また、隣接する前記ゲート電極の間に層間絶縁膜が形成されており、前記ゲート電極間の前記層間絶縁膜に空洞領域が形成されているものである。

【 0 0 2 6 】

また、前記半導体基板上に形成された前記第 1 の絶縁膜の下層における前記不純物拡散層の不純物濃度が前記ゲート電極に対して更に外側の前記不純物拡散層の不純物濃度よりも低濃度とされているものである。

【 0 0 2 7 】

また、隣接する前記ゲート電極間における前記不純物拡散層の表面に低抵抗膜が形成されているものである。

【 0 0 2 8 】

また、前記ゲート電極の上部に低抵抗膜が形成されているものである。

【 0 0 2 9 】

また、前記ゲート電極の側面に低抵抗膜が形成されているものである。

【 0 0 3 0 】

また、隣接する前記ゲート電極間に層間絶縁膜が形成されており、前記層間絶縁膜及び前記ゲート電極上に少なくともシリコン酸化膜の比誘電率よりも低い低比誘電率膜が形成されているものである。

【 0 0 3 1 】

また、前記ゲート電極の上部において前記第 2 の絶縁膜が除去されており、前

記ゲート電極と前記低比誘電率膜が密着しているものである。

【 0 0 3 2 】

また、前記ゲート電極の側壁における前記第 1 及び第 2 の絶縁膜が上から所定量除去されており、この部位に前記低比誘電率膜上層が充填されているものである。

【 0 0 3 3 】

また、前記ゲート電極上において前記ゲート電極と接続されるとともに前記不純物拡散層の一方と接続されたコンタクト電極を備えたものである。

【 0 0 3 4 】

また、この発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を介してゲート電極を形成する第 1 の工程と、前記ゲート電極の上面、側面及び前記半導体基板上を覆うように第 1 の絶縁膜を形成する第 2 の工程と、前記第 1 の絶縁膜上に前記第 1 の絶縁膜をエッチングするためのエッチングマスク膜を形成する第 3 の工程と、異方性エッチングにより前記ゲート電極の側壁部以外のエッチングマスク膜を除去し、前記ゲート電極の側壁部に残存したエッチングマスク膜をマスクとして引き続き前記第 1 の絶縁膜のエッチングを行うことにより前記第 1 の絶縁膜を前記ゲート電極の側壁から前記エッチングマスク膜の下層における前記半導体基板まで連なる形状とする第 4 の工程と、前記エッチングマスク膜を除去する第 5 の工程と、前記半導体基板上の全面に第 2 の絶縁膜を形成して、前記ゲート電極及び前記半導体基板上を覆う第 6 の工程を有するものである。

【 0 0 3 5 】

また、前記第 4 の工程において、前記半導体基板上において前記第 1 の絶縁膜の前記ゲート電極の横方向への長さが前記第 1 の絶縁膜の膜厚の 2 倍以上となるようにエッチングを行うものである。

【 0 0 3 6 】

また、前記第 6 の工程において、前記ゲート電極の側壁部における前記第 2 の絶縁膜の膜厚が前記ゲート電極の上部における前記第 2 の絶縁膜の膜厚より小さく、かつ前記ゲート電極の側壁部における前記第 2 の絶縁膜の膜厚が前記半導体基板上における前記第 2 の絶縁膜の膜厚より小さくなるように前記第 2 の絶縁膜

を形成するものである。

【 0 0 3 7 】

また、前記第 6 の工程において、前記ゲート電極の上部における前記第 2 の絶縁膜の膜厚が前記半導体基板上における前記第 2 の絶縁膜の膜厚より小さくなるように前記第 2 の絶縁膜を形成するものである。

【 0 0 3 8 】

また、前記第 1 の絶縁膜の膜厚と前記ゲート電極の側壁部における前記第 2 の絶縁膜の膜厚との和が前記半導体基板上における前記第 1 の絶縁膜の前記ゲート電極の横方向への長さと同程度になるように前記第 1 及び第 2 の絶縁膜を形成するものである。

【 0 0 3 9 】

また、前記第 1 の工程と前記第 2 の工程の間に、前記ゲート電極をマスクとして前記半導体基板の表面領域に不純物を導入して不純物拡散層を形成する第 7 の工程を更に有するものである。

【 0 0 4 0 】

また、前記第 4 の工程の後、前記第 6 の工程の前に、少なくとも前記ゲート電極及び前記第 1 の絶縁膜をマスクとして前記第 7 の工程よりも高濃度の不純物を前記半導体基板の表面領域に導入する第 8 の工程を更に有するものである。

【 0 0 4 1 】

また、前記第 4 の工程後に、前記ゲート電極上及び前記不純物拡散層上に高融点金属膜を形成する第 9 の工程と、熱処理を施して前記高融点金属膜と前記ゲート電極又は前記不純物拡散層における前記半導体基板とを反応させて低抵抗膜を形成する第 1 0 の工程とを更に有するものである。

【 0 0 4 2 】

また、前記第 6 の工程後に、前記第 2 の絶縁膜上に層間絶縁膜を形成する第 1 1 の工程と、前記不純物拡散層に到達する開孔を前記層間絶縁膜及び前記第 2 の絶縁膜に形成する第 1 2 の工程と、前記開孔を充填する導電膜を形成する第 1 3 の工程とを更に有するものである。

【 0 0 4 3 】

また、前記第 1 2 の工程において前記開孔を前記不純物拡散層とともに前記ゲート電極に到達するように形成し、前記第 1 3 の工程において、前記導電膜を前記ゲート電極及び前記不純物拡散層に接続するものである。

【 0 0 4 4 】

また、前記第 1 1 の工程後、隣接する前記ゲート電極間における前記層間絶縁膜中に空洞領域を形成する第 1 4 の工程を更に有するものである。

【 0 0 4 5 】

また、前記第 6 の工程後に、前記第 2 の絶縁膜上に層間絶縁膜を形成する第 1 5 の工程と、前記ゲート電極の上面が露出するまで前記層間絶縁膜及び前記ゲート電極上の前記第 2 の絶縁膜を研磨して除去する第 1 6 の工程と、露出した前記ゲート電極上、前記ゲート電極間の前記層間絶縁膜上を含む前記半導体基板上にシリコン酸化膜よりも比誘電率の低い低比誘電率の絶縁膜を形成する第 1 7 の工程とを更に有するものである。

【 0 0 4 6 】

また、前記第 1 6 の工程と前記第 1 7 の工程の間に、前記ゲート電極の両側において露出している前記第 1 及び第 2 の絶縁膜をウェットエッチングにより上部から所定量だけ除去する第 1 8 の工程を更に有し、前記第 1 7 の工程において、前記低比誘電率の絶縁膜を前記第 1 8 の工程において前記第 1 及び第 2 の絶縁膜を除去した部位を充填するように形成するものである。

【 0 0 4 7 】

また、前記第 1 8 の工程後、前記第 1 7 の工程前に、露出している前記ゲート電極の上面及び側面に高融点金属膜を形成する第 1 9 の工程と、熱処理を施して前記ゲート電極と前記高融点金属膜とを反応させて、前記ゲート電極の上面及び側面に低抵抗膜を形成する第 2 0 の工程を更に有するものである。

【 0 0 4 8 】

また、前記第 1 3 の工程後に、前記層間絶縁膜、前記第 2 の絶縁膜及び前記第 1 の絶縁膜を順次除去する第 2 1 の工程と、前記半導体基板上の全面にシリコン酸化膜よりも比誘電率の低い低誘電率膜を形成して前記ゲート電極及び前記導電膜を覆う第 2 2 の工程と、前記低比誘電率の絶縁膜を研磨して前記導電膜を露出

させる第23の工程とを有するものである。

【0049】

【発明の実施の形態】

実施の形態1.

図1はこの発明の実施の形態1の半導体装置を示す概略断面図である。以下、図1を参照しながら、実施の形態1の半導体装置の構造を説明する。図1の半導体装置は、この発明をSAC構造のMOSトランジスタに適用した例であり、シリコン半導体基板1上にゲート酸化膜2を介して形成されたゲート電極3、ゲート電極3の両側のシリコン半導体基板1の表面領域に形成されたソース／ドレイン拡散層の一对の不純物拡散層4、不純物拡散層4の表面に形成されたシリサイド膜5、及びシリサイド膜5に電氣的に接続されたコンタクト電極6を有して構成されている。

【0050】

ゲート電極3の側面にはシリコン窒化膜7が形成されている。このシリコン窒化膜7はゲート電極3の側壁からシリコン半導体基板1上まで連なるように形成されており、図1に示すようにゲート電極の延在する方向と直交する方向にそった断面の形状が略L字状の形状とされている。

【0051】

ゲート電極3は、ポリシリコン膜3a及びチタンシリサイド($TiSi_2$)等のシリサイド膜3bの2層からなるシリサイド構造であり、不純物拡散層4上のシリサイド膜5及びゲート電極3の上部を構成するシリサイド膜3bは、シリサイド化によって同一工程で形成されたものである。

【0052】

そして、ゲート電極3及びシリコン半導体基板1上を覆うようにシリコン窒化膜8が形成されている。シリコン窒化膜8は、不純物拡散層4に達するコンタクト電極6のコンタクトホールを形成する際のエッチングストッパー膜となる膜であって、コンタクトホール形成の際のマスクが多少ずれた場合でもコンタクトホールがゲート電極3若しくは素子分離端に達することを抑止する機能を有する。

【0053】

シリコン窒化膜 8 はシリコン窒化膜 7 が形成された領域においてはシリコン窒化膜 7 を介してゲート電極 3 の側壁若しくはシリコン半導体基板 1 上を覆っている。また、シリコン窒化膜 8 は、ゲート電極 3 上においてはシリサイド膜 3 b 上を、不純物拡散層 4 上ではシリサイド膜 5 上をそれぞれ覆うように形成されている。

【0054】

実施の形態 1 の半導体装置は、ゲート電極 3 の側壁に形成されたシリコン窒化膜 7 がサイドウォールスペーサとして機能し、後述するように MOS トランジスタの LDD 構造を形成する場合には、高濃度の不純物拡散層 4 b を形成する際のマスクとなる。図 1 に示すように、サイドウォールスペーサとしてのシリコン窒化膜 7 を略均一な膜厚で形成し、ゲート電極 3 の側面及びシリコン半導体基板 1 上の所定範囲を覆うようにしたため、特にゲート電極 3 の側方に存在するシリコン窒化膜 7 の膜厚及び体積を大幅に低減することができる。また、同時にシリコン窒化膜 7 上に形成したシリコン窒化膜 8 がゲート電極 3 の横方向に拡大してしまうことを抑止することができ、ゲート電極 3 の側方におけるシリコン窒化膜 8 の膜厚、体積も極力少なくすることができる。このように、ゲート電極 3 の側壁部において比誘電率の高いシリコン窒化膜が占有する体積を極力少なくすることによって、ゲート電極 3 とコンタクト電極 6 間又は隣接するゲート電極 3 間に生じる寄生容量を最小限に抑えることができる。

【0055】

図 2 は、図 1 の半導体装置において、ゲート電極 3 の周辺を構成する各膜の寸法を詳細に示す断面図である。図 2 に示すように、MOS トランジスタのゲート電極 3 のサイドウォールスペーサの構造に関して、実施の形態 1 では、少なくとも絶縁材料としてシリコン酸化膜の比誘電率 ($\epsilon = 3.9$) よりも比誘電率が高い材料であるシリコン窒化膜 7 によってサイドウォールスペーサを構成し、

$$T_{sw} \geq 2 \times T_d$$

を満たすようにゲート電極 3 のサイドウォールスペーサの構造を決定している。

ここで、 T_d はゲート電極 3 の側面及びシリコン半導体基板 1 上におけるシリコン窒化膜 7 の膜厚であり、 T_{sw} はシリコン半導体基板 1 上においてゲート電極

3の側面から不純物拡散層4側に向かって水平に延在するシリコン窒化膜7の長さ(幅)を示している。

【0056】

このように、ゲート電極3の側面におけるシリコン窒化膜7の膜厚を、シリコン半導体基板1上でのシリコン窒化膜7の水平方向の長さ(=Td)の1/2以下とすることによって、ゲート電極3の側面におけるシリコン窒化膜7の体積を最小限に抑えることができる。そして、ゲート電極3の側壁におけるサイドウォールスペーサの膜厚を減少させることができるため、主に隣接するゲート電極3間、ゲート電極3-コンタクト電極6間の寄生容量を最小限に抑えることが可能となる。

【0057】

また、図2において、サイドウォールスペーサとしてのシリコン窒化膜7の代わりにシリコン窒化膜とシリコン酸化膜の2層構造の膜、あるいは多層構造の膜を用いてもよい。サイドウォールスペーサー中にシリコン窒化膜を含む構造の場合、窒化膜の構成比率を減らすことでゲート電極3とのストレスを緩和させることができる。

【0058】

また、実施の形態1の半導体装置において、好適には図2に示すように、エッチングストッパー膜であるシリコン窒化膜8の構造に関して、

$$T_b < T_a, T_b < T_c$$

を満たすデバイス構造とすることが望ましい。ここで、 T_a はゲート電極3上におけるシリコン窒化膜8の膜厚を、 T_b は、ゲート電極3の側壁部におけるシリコン窒化膜8の膜厚を、 T_c は、シリコン半導体基板1上におけるシリコン窒化膜8の膜厚をそれぞれ示している。

【0059】

このように、シリコン窒化膜8の膜厚について、ゲート電極3の側壁部における膜厚 T_b をゲート電極3上の膜厚 T_a 及びシリコン半導体基板1上の膜厚 T_c よりも小さくすることによって、ゲート電極3の側方におけるシリコン窒化膜8の体積を極力少なくすることができ、ゲート電極3間、ゲート電極3-コンタク

ト電極 6 間の容量を最小限に抑えることができる。

【0060】

また、シリコン窒化膜 7 をゲート電極 3 の側壁に沿って均一な膜厚で形成したことにより、ゲート電極 3 の側壁において、シリコン窒化膜 8 をゲート電極 3 の側面に沿って均一な膜厚で形成することができ、シリコン窒化膜 8 の表面をシリコン半導体基板 1 の表面に対して垂直に形成することができる。従って、コンタクトホールあるいは L I C 配線がゲート電極 3 側に向かって重ね合わせずれを起こした場合であっても、コンタクトホールあるいは L I C 配線がシリコン窒化膜 8 と接触してしまうことを確実に防止することができる。従って、コンタクト電極 6 と不純物拡散層 4（シリサイド膜 5）との接触面積が減少してしまうことを抑止することができ、コンタクト抵抗を安定させることができる。

【0061】

$T_b < T_a$ 、 $T_b < T_c$ の膜厚条件を満たすようにシリコン窒化膜 8 を形成するためには、プラズマ C V D 法を用いた成膜方法によってシリコン窒化膜 8 を形成する。これにより、 $T_b < T_a$ 、 $T_b < T_c$ の膜厚条件を満たしたシリコン窒化膜 8 を形成することができる。

【0062】

更に、実施の形態 1 の半導体装置においては、図 2 に示すように、 $T_a > T_c$ を満たすデバイス構造とすることが望ましい。

【0063】

S A C 構造において、シリコン窒化膜 8 をエッチングストッパーとして機能させるために必要な膜厚は、最もオーバーエッチングがかかるゲート電極 3 上のシリコン窒化膜 8 の膜厚 T_a で定まる。また、膜厚 T_c を膜厚 T_a より薄くすることにより、コンタクト電極 6 を埋め込むための不純物拡散層 4 上におけるコンタクトホール形成時のオーバーエッチング量も減らすことができ、オーバーエッチングが主原因で起こる接合リーク不良を抑止することができる。従って、 $T_a > T_c$ を満たしながら、エッチングストッパー膜として機能するシリコン窒化膜 8 の膜厚を必要最小限の膜厚に抑えることで寄生容量を低減させることが可能とな

る。

【0064】

更に、実施の形態1の半導体装置においては、図2に示すようにトランジスタゲートのサイドウォール Spacer とエッチングストッパー膜の構造に関して、 $T_{sw} = T_b + T_d$ を満たすデバイス構造が望ましい。

【0065】

前述したように、 T_{sw} はシリコン半導体基板1上におけるシリコン窒化膜7の水平方向の長さ（幅）を示している。また、 T_b は、ゲート電極3の側壁部におけるシリコン窒化膜8の膜厚を、 T_d はシリコン窒化膜7の膜厚を示している。

【0066】

この構成により、シェアードコンタクトやボーダレス構造を採用するデバイスに対して、微細化とデバイス性能を考慮した最適な構造を得ることができる。

【0067】

図3及び図4の比較例に基づいて、 $T_{sw} = T_b + T_d$ とした場合の利点について説明する。図3は、 $T_{sw} > T_b + T_d$ とした場合を示している。この構造では、コンタクト電極6が充填されるコンタクトホールがゲート電極3側に重ね合わせずれを起こした場合に、コンタクトホールがシリコン半導体基板1上のシリコン窒化膜7の位置と重なった状態でシリコン半導体基板1まで到達してしまう。このため、コンタクト電極6がシリコン窒化膜7の下部の低濃度の不純物拡散層4に到達してしまい、シリコン窒化膜7の下部で接合リーク不良を招来することとなる。シリコン窒化膜7の下部は接合が浅いため、ここにコンタクトホールがずれて配置されると接合リークを起こし易いためである。更に、図3に示すように不純物拡散層4にシリサイド膜5を形成している場合には、コンタクトホールの位置がシリサイド膜5上から外れてしまうため、コンタクト電極6が不純物拡散層4と直接接続されてしまい、コンタクト抵抗が非常に高くなるという問題が生じる。

【0068】

また、図4に示すように、 $T_{sw} < T_b + T_d$ とした場合には、コンタクト電極6の位置をゲート電極3から十分離間させないと、コンタクト電極6とシリコン窒化膜8が干渉してしまい、コンタクト電極6と不純物拡散層4（シリサイド膜）との接触面積が減少してしまう。これにより、コンタクト電極6とシリサイド膜5との抵抗が上昇してしまう。

【0069】

これに対して、図2に示すように、 $T_{sw} = T_b + T_d$ とした実施の形態1の構造では、コンタクトホールがゲート電極3側に位置ずれを起こした場合であっても、シリコン窒化膜7はゲート電極3側壁を覆うシリコン窒化膜8の下層に必ず位置することになるため、コンタクトホールがシリコン窒化膜7を貫通して下層のシリコン半導体基板1に達することを抑止できる。また、コンタクト電極6とシリコン窒化膜8との距離を最大限に確保できるため、図4に示したようなコンタクト電極6とシリコン窒化膜8との干渉を抑止でき、コンタクト電極6とシリサイド膜5の接触抵抗の減少を抑止することができる。

【0070】

次に、実施の形態1の半導体装置の製造方法について説明する。以下の製造方法の説明において、シリコン窒化膜7を形成する主要工程については図5に基づいて説明し、その他の工程については図示を省略する。まず、シリコン半導体基板1上に素子分離絶縁膜を形成する。素子分離はいわゆるLOCOS法、トレンチ法等の方法によって行う。その後、素子活性領域にウエル形成、しきい値制御等を目的としてイオン注入を行う。

【0071】

次に、ゲート酸化膜2を成膜後、ゲート電極材料としてのポリシリコン膜3aを堆積し、ゲート電極のパターニングを行う。ゲート電極材料の加工は、フォトリソ、又はシリコン酸化膜、シリコン窒化膜等の絶縁膜をマスクして行う。

【0072】

次に、ゲート電極に接近した浅い接合形成を目的として、ゲート電極（ポリシリコン膜3a）をマスクとして低濃度の不純物のイオン注入を行う。これにより、ゲート電極の両側のシリコン半導体基板1の両側に低濃度の不純物拡散層4a

を形成する。この状態を図 5 (a) に示す。

【 0 0 7 3 】

その後、図 5 (b) ～図 5 (d) に示す工程によりゲート電極 3 の両側にサイドウォールスペーサとしてのシリコン窒化膜 7 を形成する。サイドウォールスペーサの形成方法としては、シリコン酸化膜 1 1、シリコン窒化膜 7 及びシリコン酸化膜 1 2 の 3 層構造を形成し、これらの膜をゲート電極 3 の側壁部のみに残す異方性エッチングを行い、シリコン半導体基板 1 に不純物を導入して MOS トランジスタを形成した後、最も外側のシリコン酸化膜 1 2 を除去することにより行う。

【 0 0 7 4 】

先ず、図 5 (b) に示すように、ゲート電極 3 の上面及び側面、シリコン半導体基板 1 上を覆うようにシリコン酸化膜 1 1 を形成し、更にシリコン酸化膜 1 1 上にシリコン窒化膜 7 を形成する。

【 0 0 7 5 】

次に、シリコン窒化膜 7 上に B P T E O S、N S G 等のシリコン酸化膜 1 2 を形成する。その後、異方性エッチングを行うことにより、図 5 (c) のようにシリコン半導体基板 1 上のシリコン酸化膜 1 2 を除去し、ポリシリコン膜 3 a からなるゲート電極の側壁のみにシリコン酸化膜 1 2 を残存させる。その後、シリコン酸化膜 1 2 をマスクとして引き続いてエッチングを行うことにより、シリコン酸化膜 1 2 の下層以外のシリコン半導体基板 1 上及びゲート電極上のシリコン窒化膜 7 を除去する。これにより、図 5 (c) に示すように、ゲート電極 3 の側壁からシリコン半導体基板 1 上までが L 字状の断面形状を有するシリコン窒化膜 7 によって覆われた構造を形成することができる。

【 0 0 7 6 】

この際、シリコン窒化膜 7 の下層のシリコン酸化膜 1 1 を残存させるようにエッチングを行うことにより、特に不純物拡散層 4 におけるシリコン半導体基板 1 の表面がダメージを受けることを抑止することができる。なお、シリコン酸化膜 1 1 はシリコン半導体基板 1 の表面のダメージ発生の抑止の他、界面準位の高いシリコン窒化膜 7 とゲート電極 3 との間のバッファ層、シリコン窒化膜 7 とゲ-

ト電極3とのストレスを緩和する機能を有する膜である。図5以外の各実施の形態の説明においては、シリコン酸化膜11の説明及び図示を省略する。

【0077】

シリコン窒化膜7によるサイドウォールスペーサの形成後、深い接合形成を目的として、ゲート電極及びその両側のシリコン窒化膜7、シリコン酸化膜12をマスクとして高濃度の不純物のイオン注入を行う。その後、不純物を活性化させる熱処理を施し、シリサイド形成を行う。

【0078】

ゲート電極上層部をシリサイド化させる場合、ゲート電極材料としてはポリシリコンが中心に用いられ、少なくともこの工程の直前には電極上層部に絶縁膜を残さない構造が必要である。従って、シリサイド工程の前にゲート電極3及び不純物拡散層4上のシリコン酸化膜11は除去しておく。

【0079】

そして、ゲート電極3上、シリコン酸化膜12及び不純物拡散層4を覆うように例えばスパッタ法によりチタン(Ti)膜等の高融点金属膜を形成し、熱処理を施す。このいわゆるシリサイド工程により、ゲート電極3の上部にチタンシリサイド(TiSi₂)からなるシリサイド膜3bを形成するとともに不純物拡散層4の表面にシリサイド膜5を形成する。その後、ゲート電極3の側壁のシリコン酸化膜12を除去する。シリコン酸化膜12の材料として、例えば、フッ酸に溶解しやすいBPTEOSやNSGを用いることにより、ウェットエッチングを用いて容易に除去することが可能となる。

【0080】

なお、ゲート電極3及び不純物拡散層4のシリサイド化は、シリコン酸化膜12を除去した後にチタン膜を形成し、熱処理を施すことにより行ってもよい。また、高濃度の不純物をイオン注入する工程の前にシリコン酸化膜12を除去しておき、ゲート電極3及びシリコン窒化膜7をマスクとして高濃度の不純物のイオン注入を行ってもよい。

【0081】

このシリサイド工程においては、サイドウォールスペーサとしてシリコン窒化

膜 7 を用いているため、シリサイド膜 5 の形成時にゲート電極との距離（枠幅）の変動を最小限に抑制することができる。

【 0 0 8 2 】

シリサイド膜 3 b, 5 の形成により、ゲート電極 3 や不純物拡散層 4 の寄生抵抗を低減できるため、デバイスの高速動作に特に適しており、ロジック L S I やシステム L S I へ適用して好適である。

【 0 0 8 3 】

次に、図 5 (e) に示すように、シリコン半導体基板 1 上及びゲート電極 3 上を覆うように、エッチングストッパー膜としてのシリコン窒化膜 8 を形成する。

【 0 0 8 4 】

その後、シリコン半導体基板 1 上の全面に層間絶縁膜を堆積し、コンタクト層間を形成する。このとき主に用いられる絶縁膜はシリコン酸化膜である。近年、微細化の追求からコンタクトホールと素子分離膜又はゲート電極との余裕が小さくなる傾向にあり、接合リークや配線ショートを防止するための構造が必要とされている。本実施の形態の半導体装置では S A C 構造によってエッチングストッパー膜をコンタクト層間に導入し、接合リークや配線ショートを防止している。

【 0 0 8 5 】

S A C 構造を用いることにより、コンタクト電極 6 のコンタクトホール形成の際のエッチングをシリコン窒化膜 8 で一旦止め、その後、シリコン窒化膜 8 に対して追加エッチングを必要な分だけ行うことにより、不必要なオーバーエッチングを減らすことが可能である。その結果、重ねずれ等によりホールが素子分離領域上にかかることがあっても、過剰なエッチングが素子分離にかかわらず、接合リークを防止することができる。エッチングストッパー膜はコンタクト層間絶縁膜として一般的なシリコン酸化膜に対してエッチング選択比が十分にとれる材料が好ましく、シリコン窒化膜 8 を用いることにより過剰なエッチングを防止することができる。

【 0 0 8 6 】

不純物拡散層 4 のシリサイド膜 5 に到達するコンタクトホールを開孔した後、コンタクトホールを充填するコンタクト電極 6 を形成することにより、実施の形

態1の半導体装置を完成させる。

【0087】

以上説明したように、この発明の実施の形態1の半導体装置では、ゲート電極3の側壁からシリコン半導体基板1上まで連なるように断面が略L字状のシリコン窒化膜7からなるサイドウォールスペーサを形成するようにしたため、サイドウォールスペーサがシリコン半導体基板1の上層から下層に向かって末広りの形状となることを抑止することができる。従って、ゲート電極3の側方におけるサイドウォールスペーサの膜厚、体積を大幅に減少させることができ、ゲート電極3間あるいはゲート電極3とコンタクト電極6間の寄生容量を最小限に抑えることができる。

【0088】

また、サイドウォールスペーサとしてのシリコン窒化膜7と、エッチングストッパー膜としてのシリコン窒化膜8の寸法を最適化することにより、ゲート電極3とコンタクト電極6との干渉を抑止してコンタクト電極6とシリサイド膜5との間の電気抵抗を最小限に抑えることができるとともに、コンタクト電極6がシリコン窒化膜7の下層の低濃度の不純物拡散層4aへ到達してしまうことを抑止することができる。

【0089】

実施の形態2.

図6は、この発明の実施の形態2の半導体装置を示す概略断面図である。実施の形態2は、隣接して形成したゲート電極3間のシリコン半導体基板1の表面の不純物拡散層4にシリサイド膜5を形成したメモリセルの構成を示している。ゲート電極3及びゲート電極3周りのシリコン窒化膜7、シリコン窒化膜8の構成は実施の形態1と同様である。

【0090】

ゲート電極に囲まれた不純物拡散層へシリサイドを形成することは非常に困難である。その理由は主としてゲート電極の側壁に形成したサイドウォールが横方向に拡大していることにある。特に、ゲート電極の間隔が狭ピッチとなるとスパッタ法によって不純物拡散層上に高融点金属膜を成膜することが困難となる。

【 0 0 9 1 】

図 6 に示す半導体装置では、実施の形態 1 と同様の方法によって、ゲート電極 3 の側壁からシリコン半導体基板 1 の表面まで連なるように均一な膜厚のシリコン窒化膜 7 を形成し、これをサイドウォールスペーサとしている。従って、シリコン窒化膜 8 を形成する前の段階においてゲート電極 3 間における不純物拡散層 4 の露出面積を最大限に確保することができる。従って、スパッタ法を用いた場合であってもゲート電極 3 間の不純物拡散層 4 上に確実に高融点金属膜を形成することができる。これにより、ゲート電極 3 間のピッチが微細化によって縮小した場合であっても、隣接するゲート電極 3 間においてサイドウォールスペーサが占有する領域を極力小さくすることができるため、シリサイド反応に必要な高融点金属を十分に成膜することができる。狭ピッチ化が進むメモリセル等に対して、実施の形態 2 のデバイス構造は特に有効である。

【 0 0 9 2 】

また、この L 字型のシリコン窒化膜 7 を用いて L D D 形成工程を行うことにより、実施の形態 1 で説明したように、隣接するゲート電極 3 間において浅い接合と深い接合を有する L D D 構造のソース／ドレインを同時に形成することも可能となる。

【 0 0 9 3 】

次に、図 7 に基づいて実施の形態 2 の半導体装置の他の例について説明する。図 7 の半導体装置は、図 6 の半導体装置と同様にゲート電極 3 間の不純物拡散層 4 にシリサイド膜 5 を形成するとともに、少なくともコンタクトホールが形成されないゲート電極 3 間に形成した層間絶縁膜 9 に空洞領域 1 0 を形成してゲート電極 3 間の寄生容量を低減させたものである。空洞領域 1 0 は真空状態、又は不活性ガスが充填された状態とされている。ゲート電極 3 及びゲート電極 3 周りのシリコン窒化膜 7、シリコン窒化膜 8 の構成は実施の形態 1 と同様である。

【 0 0 9 4 】

空洞領域 1 0 の形成は、層間絶縁膜 9 の形成と同時に行う。従って、空洞領域 1 0 を形成するための特別なマスク形成工程は必要なく、工程を煩雑化することなく空洞領域 1 0 を形成することができる。ゲート電極 3 の上層からゲート電極

3に達するコンタクトを形成する場合には、ゲート電極3の横方向への寸法変動、コンタクト径の寸法変動、ゲート電極3に対するコンタクトの重ね合せずれ量を考慮して空洞領域10を作りこみ、ゲート電極3へのコンタクトが空洞領域10に接することのないように空洞領域10を形成する。

【0095】

図6、図7に示した半導体装置では、実施の形態1の半導体装置と同様にゲート電極3の周辺のシリコン窒化膜7、シリコン窒化膜8の構造を最適化しているため、特にゲート電極3の側壁におけるシリコン窒化膜の膜厚、体積が最小限に抑えられ、ゲート電極3間の寄生容量を低減することができる。図6に示す半導体装置では、これに加えて狭ピッチのゲート電極3間にシリサイド膜5を確実に形成することができる。更に、図7の半導体装置では、これに加えて層間絶縁膜9に空洞領域10を形成しているため、ゲート電極3間、ゲート電極3-コンタクト電極6間において更なる寄生容量の低減を実現することができる。

【0096】

次に、図8に基づいて実施の形態2の半導体装置の更に他の例について説明する。図8は半導体装置の構成と製造方法を共に示す断面図である。

【0097】

図8に示す半導体装置は、実施の形態1と同様にゲート電極3の周りにシリコン窒化膜7及びシリコン窒化膜8を形成し、ゲート電極3を含むシリコン半導体基板1上の全面に層間絶縁膜9を形成した後、シリコン窒化膜エッチングストッパー膜としてのシリコン窒化膜8を用いてシェアードコンタクトやボーダレスコンタクトを形成した後に、層間絶縁膜9、シリコン窒化膜8を含む絶縁膜を一旦除去し、シリコン酸化膜の比誘電率($\epsilon = 3.9$)よりも低い比誘電率を有する低比誘電率(low k)膜13をゲート電極3間、コンタクト電極6間に再び成膜したものである。図8(d)に示すように、シリコン窒化膜7及びシリコン窒化膜8を除去した後に低比誘電率膜13を形成することにより、ゲート電極3間の比誘電率をより低減させることができ、寄生容量の発生を最小限に抑えることができる。

【0098】

以下、図 8 の半導体装置の製造方法を詳細に説明する。図 8 (a) は、図 1 に示す実施の形態 1 の半導体装置を形成し、シリコン半導体基板 1 上を層間絶縁膜 9 で覆った状態を示しており、ゲート電極 3 を隣接して形成した状態を示している。ここまでの工程は実施の形態 1 で説明した半導体装置の製造方法と同様に行う。この状態から、層間絶縁膜 9 を除去し、シリコン窒化膜 7 及びシリコン窒化膜 8 を除去することにより、図 8 (b) に示す構造を得る。

【0099】

次に、図 8 (c) に示すように、シリコン半導体基板 1 上の全面にシリコン酸化膜の比誘電率 ($\epsilon = 3.9$) よりも低い比誘電率を有する低比誘電率膜 13 を形成し、低比誘電率膜 13 によってゲート電極 3 及びコンタクト電極 6 を覆う。

【0100】

その後、例えば CMP (化学的機械研磨) 法により低比誘電率膜 13 の表面を研磨して平坦化し、コンタクト電極 6 の上面を露出させる。これにより、図 8 (d) に示す構造を得る。

【0101】

図 8 に示す半導体装置によれば、ゲート電極 3 の側面におけるシリコン窒化膜 7, 8 を除去し、更にゲート電極 3 間に低比誘電率膜 13 を形成しているため、隣接するゲート電極 3 間、ゲート電極 3 とコンタクト電極 6 間における寄生容量の更なる低減を達成することができる。

【0102】

実施の形態 3.

次に、この発明の実施の形態 3 について説明する。図 19 において説明したように、ゲートと不純物拡散層とを同時に接続するシェアードコンタクトは、メモリセル縮小化により適しているため、高集積化が求められる SRAM セルなどに使用されている。

【0103】

実施の形態 3 の半導体装置は、実施の形態 1 の半導体装置をシェアードコンタクトを有するメモリセルに適用したものである。以下、図 9 に基づいて実施の形態 3 の半導体装置の構成について説明する。図 9 においてゲート電極 3 及びゲ-

ト電極 3 の周辺のシリコン窒化膜 7, 8 の構成は実施の形態 1 と同様である。

【 0 1 0 4 】

図 9 に示す半導体装置では、コンタクトホール形成により不純物拡散層 4 の一方の表面のシリコン窒化膜 8 が除去されるとともに、ゲート電極 3 上においてもシリコン窒化膜 8 が除去されている。そして、ゲート電極 3 のシリサイド膜 3 b と不純物拡散層 4 のシリサイド膜 5 の双方に接続されるシェアードコンタクト電極 1 4 が形成されている。

【 0 1 0 5 】

実施の形態 3 では、シリコン窒化膜 7 及びシリコン窒化膜 8 の寸法が最適化され、シリコン窒化膜 7 がゲート電極 3 の側壁に沿って均一な膜厚で形成されているため、図 1 9 のシェアードコンタクト電極 1 1 4 と比較すると、 $\phi 2$ (図 9 参照) $< \phi 1$ (図 1 9 参照) とすることができ、この分だけメモリセルを縮小することができる。従って、この構造によればメモリセルサイズが小さくでき、高集積化が可能となる。

【 0 1 0 6 】

また、図 9 に示すように、ゲート電極 3 に対してシェアードコンタクト電極 1 4 が形成されている側のシリコン窒化膜 7 及びシリコン窒化膜 8 の膜厚の合計 ($= T_b + T_d$) をシリコン窒化膜 7 のゲート電極 3 側面から側方に向かって延在する長さ ($= T_{sw}$) と同等若しくは同等以上としている。これにより、シェアードコンタクト電極 1 4 がシリコン窒化膜 7 の下層の不純物拡散層 4 に達することを抑止できる。

【 0 1 0 7 】

また、図 9 において $\phi 2 = \phi 1$ となる設計をした場合、すなわち、図 1 9 のシェアードコンタクトと同一幅のシェアードコンタクト電極 1 4 を形成した場合には、ゲート電極 3 との抵抗や、不純物拡散層 4 との抵抗をより下げることが可能である。更に、図 9 のようにゲート電極 3 や不純物拡散層 4 に形成したシリサイド膜 3 b、シリサイド膜 5 によって電気抵抗を低減することができる。

【 0 1 0 8 】

実施の形態 4.

図 1 0 は、この発明の実施の形態 4 の半導体装置を示す概略断面図である。以下、図面を参照しながら実施の形態 4 について説明する。実施の形態 4 の半導体装置は、図 1 0 に示すように、ゲート電極 3 上のシリコン窒化膜 7 及びシリコン窒化膜 8 を除去し、ゲート電極 3 上に低比誘電率膜 1 5 を形成した構造を有している。

【0109】

このように、ゲート電極 3 上に直接低比誘電率膜 1 5 を形成することにより、ゲート電極 3 上に配置される上層配線とゲート電極 3 との間の寄生容量を低減させることができる。

【0110】

図 1 1 は、図 1 0 に示す半導体装置の製造方法を示す概略断面図である。以下、図 1 1 を参照しながら、図 1 0 の半導体装置の製造方法を説明する。

【0111】

まず、図 1 1 (a) に示すように、図 5 と同様の工程によりゲート電極 3、ゲート電極 3 を覆うシリコン窒化膜 7 及びシリコン窒化膜 8 を形成した後、シリコン窒化膜 8 上を覆うように層間絶縁膜 9 を成膜する。これにより、ゲート電極 3 上及びシリコン半導体基板 1 上が層間絶縁膜 9 によって覆われる。

【0112】

次に、CMP 法により層間絶縁膜 9 の表面を研磨して平坦化する。この際、ゲート電極 3 上を覆うシリコン窒化膜 7 及びシリコン窒化膜 8 も同時に研磨して除去する。これにより、ゲート電極 3 上部のシリサイド電極 3 b が露出する。

【0113】

なお、ゲート電極 3 上のシリサイド電極 3 b の形成は、ゲート電極 3 上のシリコン窒化膜 7 及びシリコン窒化膜 8 を除去した後に行ってもよい。この場合は、本工程までポリシリコン電極 3 a の上部にゲート電極 3 のリソグラフィ工程で用いるハードマスク（酸化膜、窒化膜等）が残っていても構わない。CMP 法によりシリコン窒化膜 8 を研磨する工程で除去することが可能なためである。また、ゲート電極 3 上のシリサイド電極 3 b は再度形成し直すようにしてもよい。

【0114】

層間絶縁膜 9 の研磨後、上層にスピニング法などの方法によって少なくともシリコン窒化膜の比誘電率よりも低い比誘電率、好ましくはシリコン酸化膜よりも低い比誘電率を有する低比誘電率膜 1 5 を形成する。この際には、CMP 法により一度層間絶縁膜 9 の平坦化がなされているため、ゲート電極 3 間への埋め込みを考慮する必要はない。その結果、ゲート電極 3 の上層において比誘電率の高い膜がなくなり、ゲート電極 3 の上層に配置される上層配線とゲート電極 3 との間の寄生容量を低減させることができる。

【 0 1 1 5 】

実施の形態 5.

図 1 2 は、この発明の実施の形態 5 の半導体装置を示す概略断面図である。以下、図面を参照しながら実施の形態 5 について説明する。実施の形態 5 の半導体装置は、実施の形態 4 と同様にゲート電極 3 上のシリコン窒化膜 8 を除去するとともに、ゲート電極 3 側壁の上部においてもシリコン窒化膜 7 及びシリコン窒化膜 8 を除去し、ゲート電極 3 上に低比誘電率膜 1 5 を形成した構造を有している。

【 0 1 1 6 】

このように、ゲート電極 3 上のみならずゲート電極 3 の側壁部においてもシリコン窒化膜 7 及びシリコン窒化膜 8 を除去することにより、ゲート電極 3 の上に配置される配線とゲート電極 3 との間の寄生容量を低減させることができるとともに、ゲート電極 3 間、ゲート電極 3 - コンタクト電極 6 間における寄生容量の発生を抑止することができる。

【 0 1 1 7 】

図 1 3 は、図 1 2 の半導体装置の製造方法を工程順に示す概略断面図である。ここで、図 1 3 (a) は、図 1 1 (b) と同一の工程を示しており、シリコン半導体基板 1 上に層間絶縁膜 9 を形成してゲート電極 3 上を覆った後、CMP 法により層間絶縁膜 9 を平坦化してゲート電極 3 のシリサイド膜 3 b を露出させた状態を示している。

【 0 1 1 8 】

次に、図 1 3 (b) に示すように、ウェットエッチングによりゲート電極 3 の

側壁におけるシリコン窒化膜 7 及びシリコン窒化膜 8 を上部から除去していく。

【 0 1 1 9 】

その後、シリコン半導体基板 1 上の全面に少なくともシリコン窒化膜の比誘電率よりも小さな比誘電率の低比誘電率膜 1 5 を形成する。これにより、ゲート電極 3 の側壁部におけるシリコン窒化膜 7 及びシリコン窒化膜 8 を除去した部位にこの絶縁膜を充填することができ、また、層間絶縁膜 9 上を絶縁膜で覆うことができる。これにより、図 1 2 に示す実施の形態 5 の半導体装置を形成することができる。

【 0 1 2 0 】

実施の形態 5 の半導体装置によれば、ゲート電極 3 上に配置される上層配線とゲート電極 3 との間の寄生容量、及びゲート電極 3 間、ゲート電極 3 - コンタクト電極 6 間の寄生容量を共に低減することができる。

【 0 1 2 1 】

実施の形態 6 .

図 1 4 は、この発明の実施の形態 6 の半導体装置を示す概略断面図である。以下、図面を参照しながら実施の形態 6 について説明する。実施の形態 6 の半導体装置は、実施の形態 5 の半導体装置において、ゲート電極 3 の上部を構成するシリサイド膜 3 b をゲート電極 3 上部からシリコン窒化膜 7 及びシリコン窒化膜 8 が除去された側壁部まで連なるように形成したものである。

【 0 1 2 2 】

この構造によれば、ゲート電極 3 のシリサイド化により配線抵抗を改善することができ、また、ゲート電極 3 の上部及び側壁部がシリコン窒化膜 7 及びシリコン窒化膜 8 に覆われることがないため、ストレスによるシリサイド反応の抑制が防止でき、良好で安定した抵抗特性を得ることができる。

【 0 1 2 3 】

特に、微細化等の要因によりゲート長が細くなると、シリサイド抵抗が不安定になる。不安定要因のひとつはポリシリコン膜 3 a の両側が絶縁膜で抑えつけられ、応力によりシリサイド反応が抑制される点が挙げられる。

【 0 1 2 4 】

図 1 4 に示す半導体装置の構造では、ゲート電極 3 の両側の絶縁膜（シリコン窒化膜 7、シリコン窒化膜 8）が取り除かれ、ゲート電極 3 の上部あるいは側壁部が解放されている。この状態でシリサイド反応を行うことにより、凝集も起こりにくくなり、細線抵抗の安定化、低抵抗化を実現することができる。

【 0 1 2 5 】

シリサイドゲート電極 3 b の形成工程では、ゲート電極 3 上部ならびに側壁部分の一部のポリシリコン膜 3 a はすべてシリサイド反応に寄与できるため、細いゲート配線部分でも抵抗は非常に低く抑えられる。

【 0 1 2 6 】

実施の形態 6 の半導体装置によれば、ゲート電極 3 の上に配置される上層配線とゲート電極との間の寄生容量、及びゲート電極 3 間、ゲート電極 3 - コンタクト電極 6 間の寄生容量を共に低減させることができ、ゲート電極 3 がシリコン窒化膜 7、8 に覆われないため、ストレスによるシリサイド反応の抑制も防止でき、良好で安定した抵抗特性を得ることができる。

【 0 1 2 7 】

以下、図 1 5 を参照しながら、図 1 4 の半導体装置の製造方法を説明する。この製造方法は、図 1 3 で説明した工程でウェットエッチングによりシリコン窒化膜 7 及びシリコン窒化膜 8 を除去した後（図 1 3（b）参照）、ゲート電極 3 のシリサイド化を行うものである。従って、実施の形態 6 では、ゲート電極 3 のシリサイド化は不純物拡散層 4 のシリサイド化とは別の工程で行う。

【 0 1 2 8 】

図 1 5（a）は、図 1 3（b）までの工程と同様に、CMP 法により層間絶縁膜 9 を研磨してゲート電極 3 上のシリコン窒化膜 8 を除去した後、ゲート電極 3 の側壁におけるシリコン窒化膜 7 及びシリコン窒化膜 8 をウェットエッチングにより除去した状態を示している。ただし、実施の形態 6 においては、この研磨工程の前にはゲート電極 3 のシリサイド化を行っておらず、ゲート電極 3 はポリシリコン電極 3 a のみから構成されている。

【 0 1 2 9 】

次に、図 1 5（b）に示すように、ゲート電極 3 の上部及び側壁部を覆うよう

にチタン (Ti) 膜等の高融点金属膜を形成して熱処理を施すことにより、ゲート電極 3 の上部及び側壁部にシリサイド膜 3 b を形成する。その後、ゲート電極 3 の上部及び側壁部以外の高融点金属膜を除去する。

【0130】

このように、ゲート電極 3 の側壁部における絶縁膜 (シリコン窒化膜 7、シリコン窒化膜 8) を除去し、ゲート電極 3 の上部及び側壁部を解放した状態でシリサイド反応を行うことにより、凝集の発生を抑止して、細線抵抗の安定化、低抵抗化を実現することができる。その後、実施の形態 5 と同様にシリコン半導体基板 1 上の前面に低比誘電率膜 1 5 を形成することにより図 1 4 に示す半導体装置を完成させる。

【0131】

この製造方法によれば、不純物拡散層 4 のシリサイド化と別工程でゲート電極 3 をシリサイド化することができるため、各々のシリサイド化の工程を最適化することが可能となる。また、サイドウォールスペーサを形成する工程では、ゲート電極 3 の側壁を露出させないで、層間絶縁膜 9 の研磨後にゲート電極 3 の側壁を露出させるエッチングを行うため、サイドウォールスペーサを形成する際には側壁を露出させるための無理なエッチングを行う必要がない。従って、サイドウォールスペーサを形成する際のエッチング量を増加させてゲート電極の側壁を露出させた後にシリサイド化を行う方法と比較して、オーバーエッチングを大幅に低減させることができ、ゲート絶縁膜にダメージが入ったり、シリコン基板が削れたり、素子分離膜が削れたりすることを抑止することができる。

【0132】

実施の形態 6 の半導体装置によれば、ゲート電極 3 の上部のポリシリコンはすべてシリサイド反応に寄与できるため、細いゲート配線部分でも電気抵抗をより低減させることができ、高速動作を可能とした半導体装置を提供することができる。

【0133】

【発明の効果】

この発明は、以上説明したように構成されているので、以下に示すような効果

を奏する。

【 0 1 3 4 】

ゲート電極の側壁から半導体基板上まで連なるように断面がL字形状の第1の絶縁膜を形成してサイドウォールスペーサを構成したため、ゲート電極の横方向へのサイドウォールスペーサの膜厚、体積を最小限に抑えることができ、ゲート電極間、ゲート電極－コンタクト電極間の寄生容量を低減させることが可能となる。

【 0 1 3 5 】

第1の絶縁膜の膜厚を略均一としたことにより、ゲート電極の横方向へのサイドウォールスペーサの膜厚、体積を確実に低減させることができる。

【 0 1 3 6 】

ゲート電極上及び半導体基板上を覆う第2の絶縁膜を形成したため、この第2の絶縁膜をエッチングストッパー膜として機能させることにより、不純物拡散層へのコンタクトホールをゲート電極若しくは素子分離端に到達させることなく自己整合的に形成することができる。

【 0 1 3 7 】

第1の絶縁膜のゲート電極の横方向への長さを第1の絶縁膜の膜厚の2倍以上に規定したことにより、第1の絶縁膜の膜厚を半導体基板上における第1の絶縁膜の長さに対して十分小さくすることができ、ゲート電極の横方向へのサイドウォールスペーサの膜厚、体積を最小限に抑えてゲート電極間、ゲート電極－コンタクト電極間の寄生容量を低減させることができる。

【 0 1 3 8 】

ゲート電極の側壁における第2の絶縁膜の膜厚をゲート電極の上部における第2の絶縁膜の膜厚より小さくし、かつゲート電極の側壁における第2の絶縁膜の膜厚を半導体基板上における第2の絶縁膜の膜厚より小さくしたことにより、ゲート電極間、ゲート電極－コンタクト電極間の寄生容量を低減させることができる。また、コンタクトホールあるいはL I C配線がゲート電極側に重ねあわせずれを起こした場合であってもゲート側壁部の第2の絶縁膜に接触しにくい構造とすることができる。

【 0 1 3 9 】

ゲート電極の上部における第 2 の絶縁膜の膜厚を半導体基板上における第 2 の絶縁膜の膜厚より小さくしたことにより、コンタクトエッチング時のオーバーエッチング量を減らすことができ、オーバーエッチングが主原因で生じる接合リーク不良の発生を抑止することができる。

【 0 1 4 0 】

第 1 の絶縁膜の膜厚とゲート電極の側壁における第 2 の絶縁膜の膜厚との和を第 1 の絶縁膜のゲート電極の横方向への長さと同等しくしたことにより、不純物拡散層と接続されるコンタクトホールが位置ずれを起こした場合であっても接合リーク不良が生じたり、コンタクト抵抗が上昇してしまうことを抑止することができる。

【 0 1 4 1 】

隣接するゲート電極の間の層間絶縁膜に空洞領域を形成したことにより、ゲート電極間の寄生容量を低減させることができる。

【 0 1 4 2 】

断面が L 字形状の第 1 の絶縁膜からなるサイドウォールスペーサを形成したことにより、第 1 の絶縁膜の下層における不純物濃度を低濃度とした L D D 構造を形成することが可能となる。

【 0 1 4 3 】

隣接するゲート電極間における不純物拡散層の表面に低抵抗膜を形成したことにより、不純物拡散層とコンタクト電極との間の電気抵抗を低減させることができる。

【 0 1 4 4 】

ゲート電極の上部若しくは側面に低抵抗膜を形成したことにより、ゲート幅が細くなった場合であってもゲート電極を低抵抗化することができ、デバイスの高速度動作を実現することができる。

【 0 1 4 5 】

隣接する前記ゲート電極間に層間絶縁膜を形成し、層間絶縁膜及びゲート電極上に少なくともシリコン酸化膜の比誘電率よりも低い低比誘電率膜を形成したこ

とにより、ゲート電極の上層における寄生容量を低減させることができる。

【 0 1 4 6 】

ゲート電極の上部において第 2 の絶縁膜を除去し、ゲート電極上部と上層の低比誘電率膜とを密着させたことにより、ゲート電極と更に上層の配線との寄生容量を低減させることができる。

【 0 1 4 7 】

ゲート電極の側壁において第 1 及び第 2 の絶縁膜を上から所定量除去し、この部位に上層の低比誘電率膜を充填したことにより、ゲート電極間、ゲート電極－コンタクト電極間の寄生容量を最小限に抑えることができる。

【 0 1 4 8 】

ゲート電極の側壁から半導体基板上まで連なるように断面が L 字形状のサイドウォールスペーサを形成した構造において、ゲート電極と不純物拡散層の双方に接続されるコンタクト電極を形成したことにより、占有領域を最小限に抑えたシェアードコンタクト電極を形成して微細化を達成することができる。

【 0 1 4 9 】

ゲート電極周辺の第 1 及び第 2 の絶縁膜を一旦除去した後、隣接するゲート電極間に低比誘電率膜を形成したことにより、ゲート電極間の寄生容量の更なる低減を達成することができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 の半導体装置を示す概略断面図である。

【図 2】 図 1 の半導体装置において、ゲート電極の周辺を構成する各膜の寸法を詳細に示す概略断面図である。

【図 3】 実施の形態 1 の半導体装置の効果を説明するための比較例を示す概略断面図である。

【図 4】 実施の形態 1 の半導体装置の効果を説明するための比較例を示す概略断面図である。

【図 5】 実施の形態 1 の半導体装置の製造方法を工程順に示す概略断面図である。

【図 6】 この発明の実施の形態 2 の半導体装置を示す概略断面図である。

【図 7】 この発明の実施の形態 2 の半導体装置の別の例を示す概略断面図である。

【図 8】 この発明の実施の形態 2 の半導体装置の更に別の例を示す概略断面図である。

【図 9】 この発明の実施の形態 3 の半導体装置を示す概略断面図である。

【図 1 0】 この発明の実施の形態 4 の半導体装置を示す概略断面図である。

【図 1 1】 この発明の実施の形態 4 の半導体装置の製造方法を工程順に示す概略断面図である。

【図 1 2】 この発明の実施の形態 5 の半導体装置を示す概略断面図である。

【図 1 3】 この発明の実施の形態 5 の半導体装置の製造方法を工程順に示す概略断面図である。

【図 1 4】 この発明の実施の形態 6 の半導体装置を示す概略断面図である。

【図 1 5】 この発明の実施の形態 6 の半導体装置の製造方法を工程順に示す概略断面図である。

【図 1 6】 従来の SAC 構造の MOS トランジスタの構成を示す概略断面図である。

【図 1 7】 各世代のゲートオーバーラップ容量を示す模式図である。

【図 1 8】 従来の SAC 構造の MOS トランジスタの構成を示す概略断面図である。

【図 1 9】 従来の SAC 構造の MOS トランジスタの構成を示す概略断面図である。

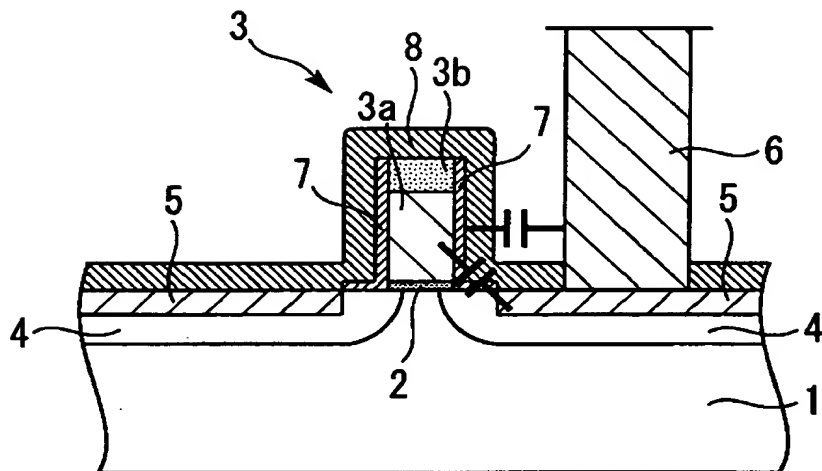
【符号の説明】

1 シリコン半導体基板、 2 ゲート酸化膜、 3 ゲート電極、 3 a ポリシリコン膜、 3 b シリサイド膜、 4 不純物拡散層、 4 a 低濃度の不純物拡散層、 4 b 高濃度の不純物拡散層、 5 シリサイド膜、 6 コンタクト電極、 7, 8 シリコン窒化膜、 9 層間絶縁膜、 1 0 空洞

領域、 1 1, 1 2 シリコン酸化膜、 1 3, 1 5 低比誘電率膜、 1 4
シェードコンタクト電極。

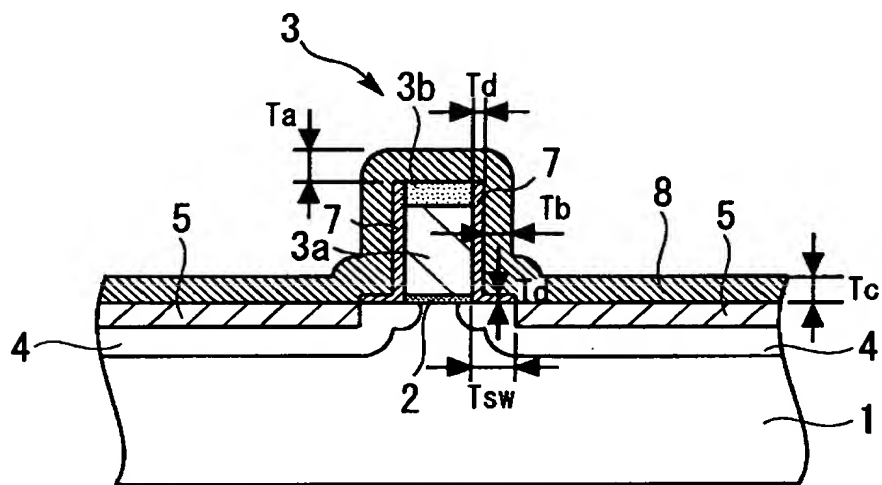
【書類名】 図面

【図 1】

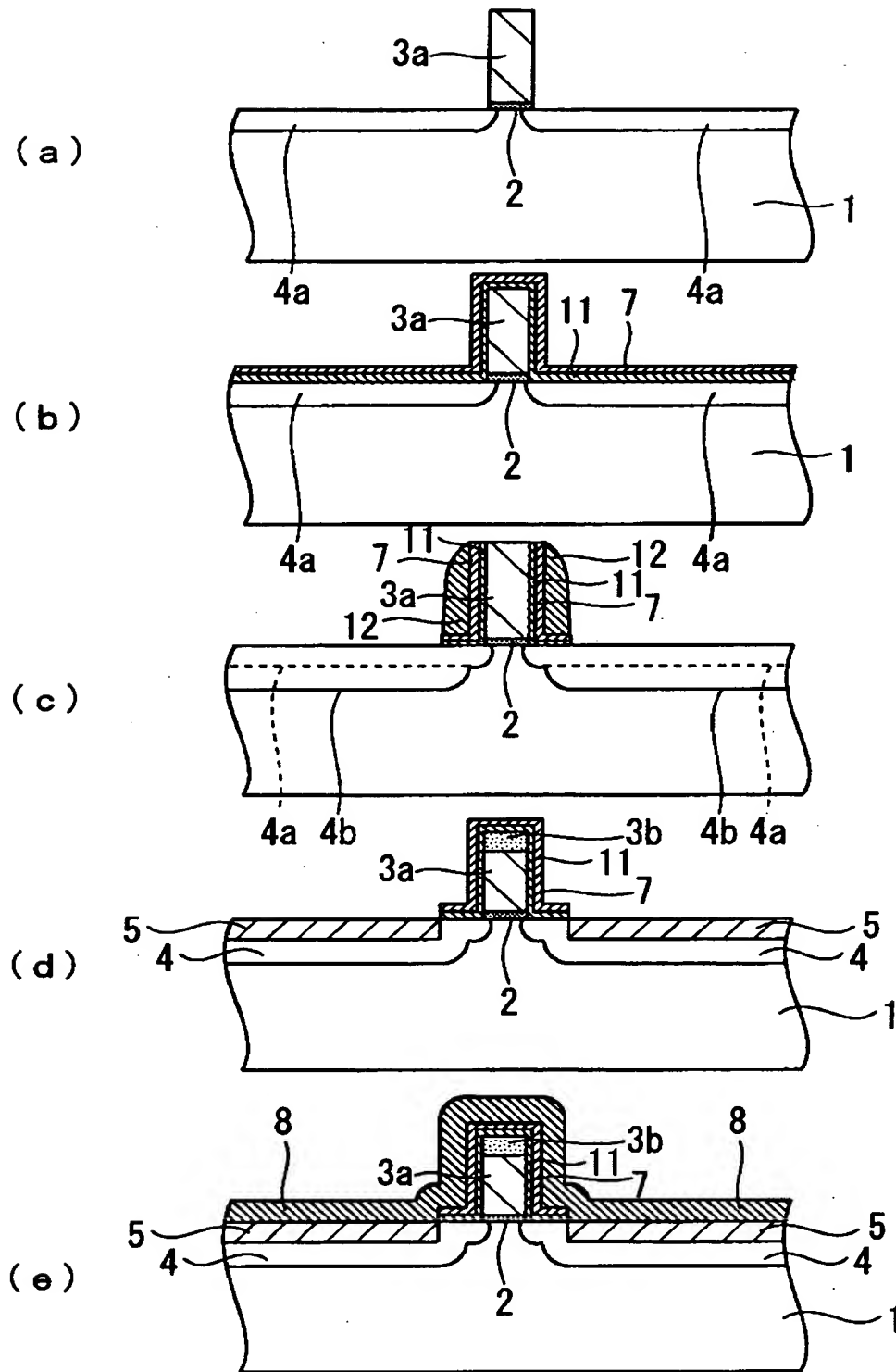


- | | |
|---------------|-------------|
| 1 : シリコン半導体基板 | 4 : 不純物拡散層 |
| 2 : ゲート酸化膜 | 5 : シリサイド膜 |
| 3 : ゲート電極 | 6 : コンタクト電極 |
| 3a : ポリシリコン膜 | 7 : シリコン窒化膜 |
| 3b : シリサイド膜 | 8 : シリコン窒化膜 |

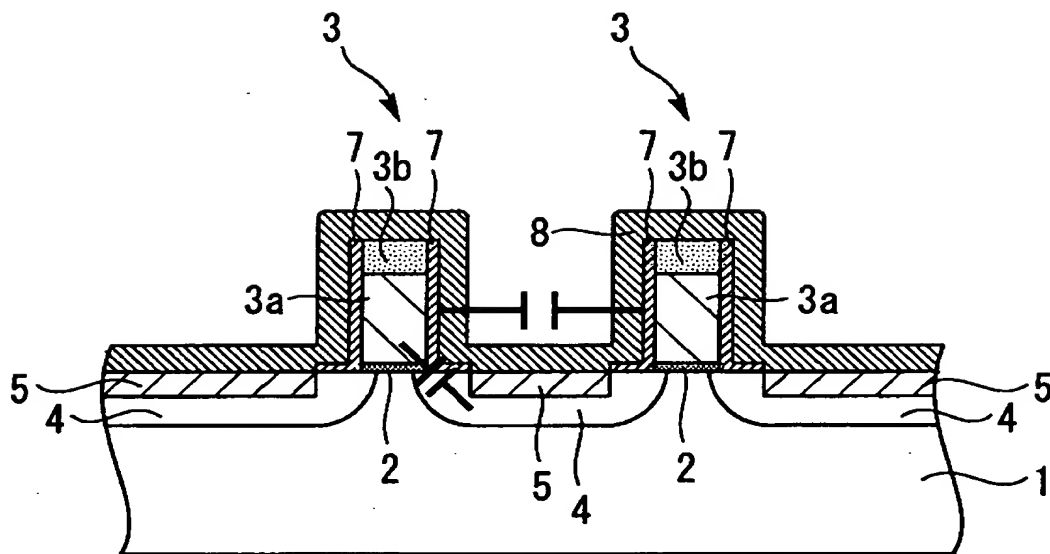
【図 2】



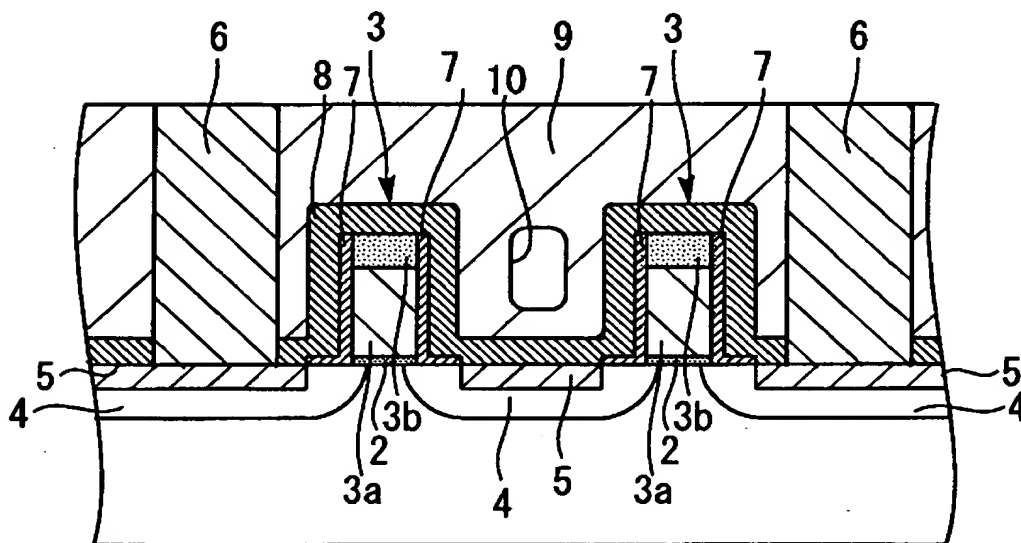
【図 5】



【図 6】

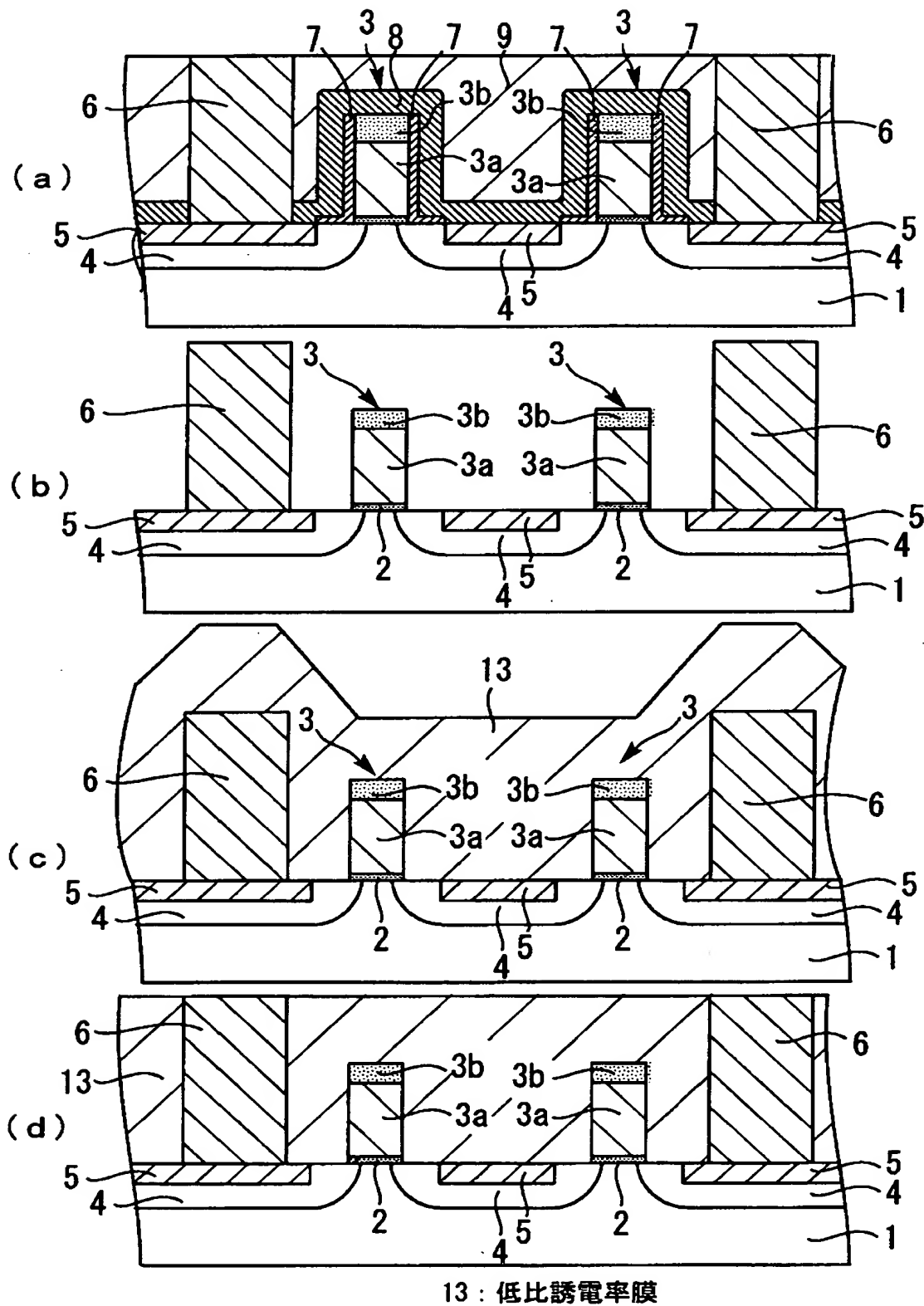


【図 7】

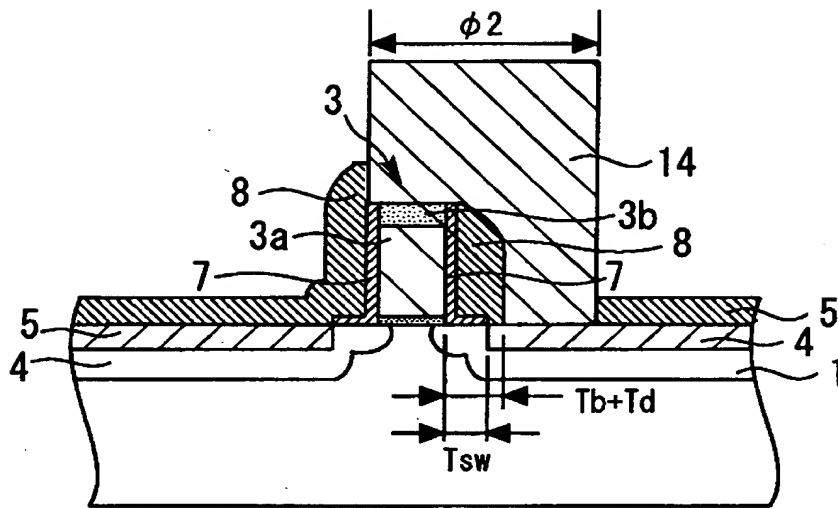


9 : 層間絶縁膜
10 : 空洞領域

【図 8】

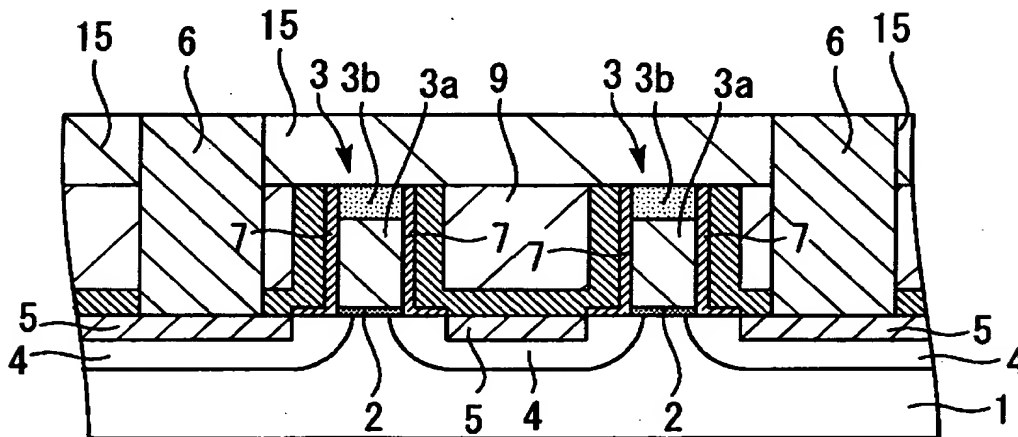


【図9】



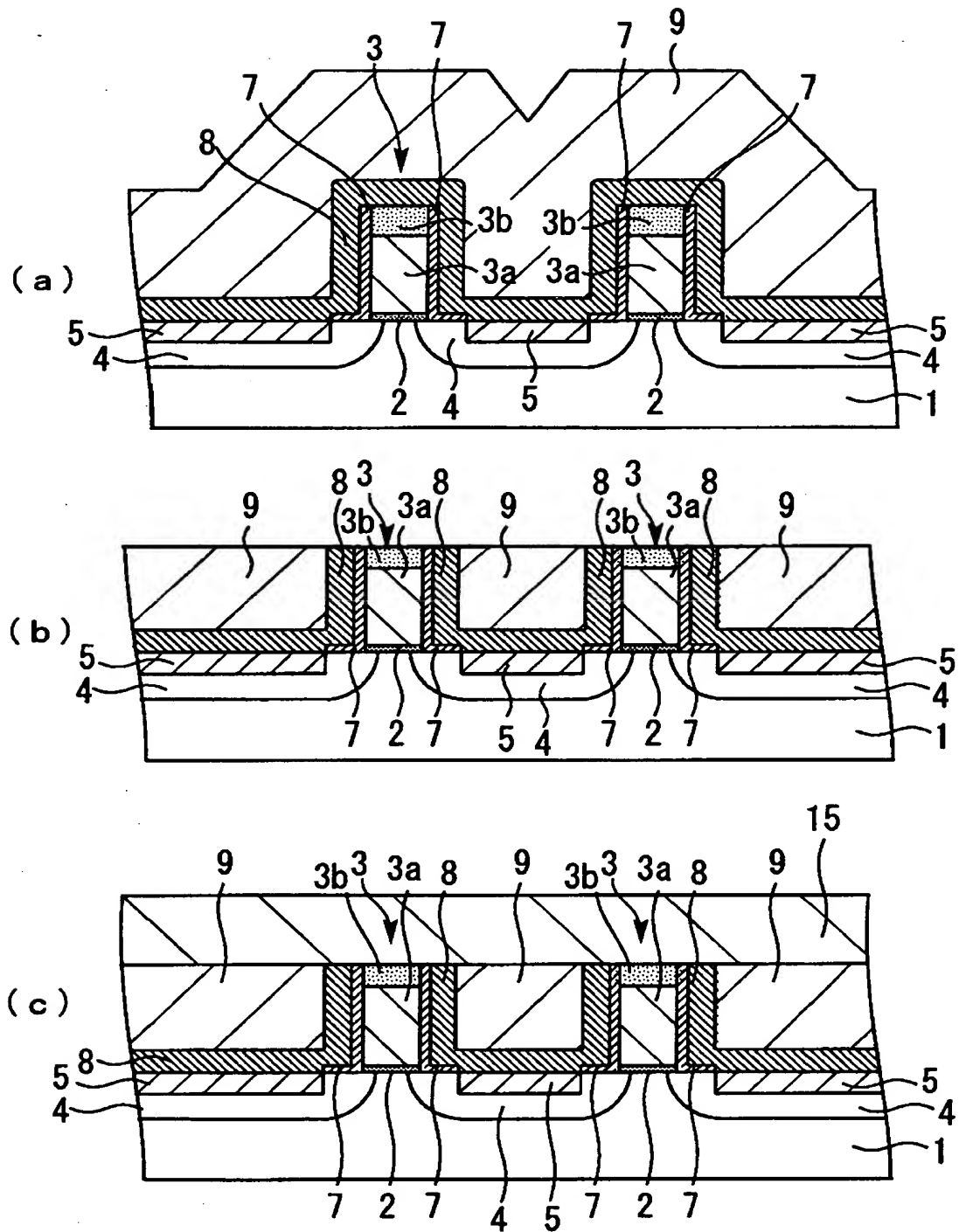
14: シェアードコンタクト電極

【図10】

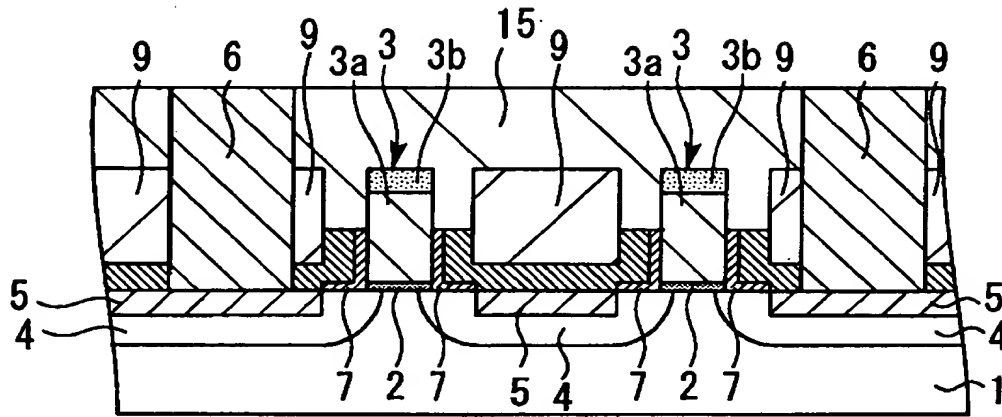


15: 低比誘電率膜

【図 11】

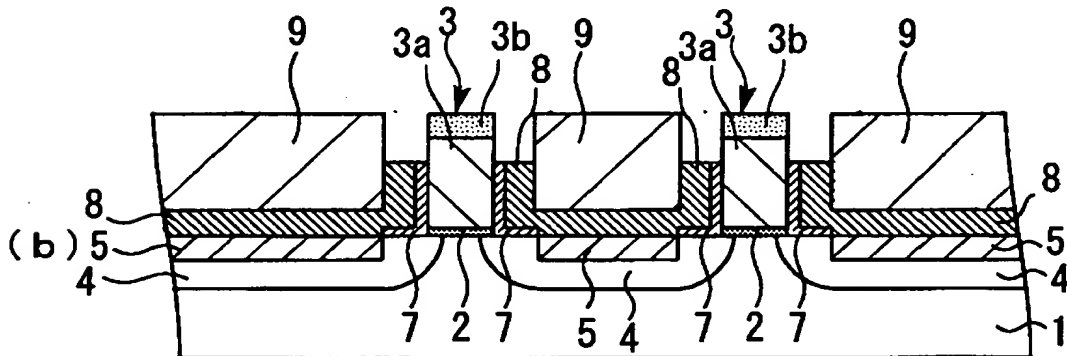
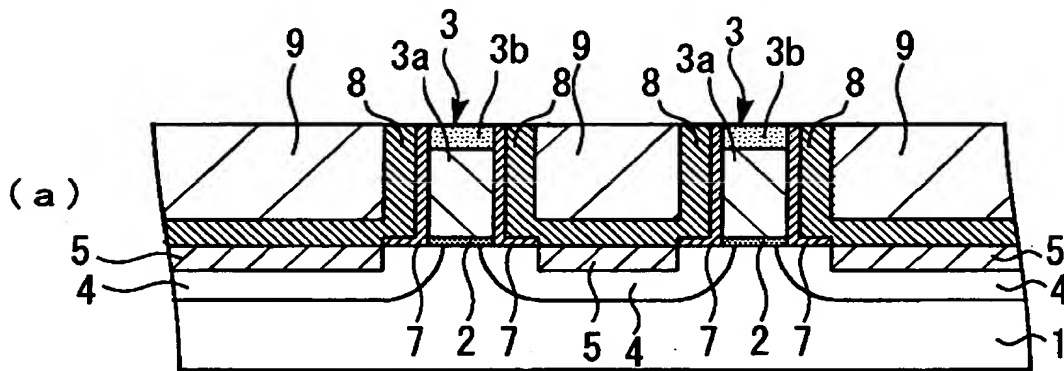


【図 12】

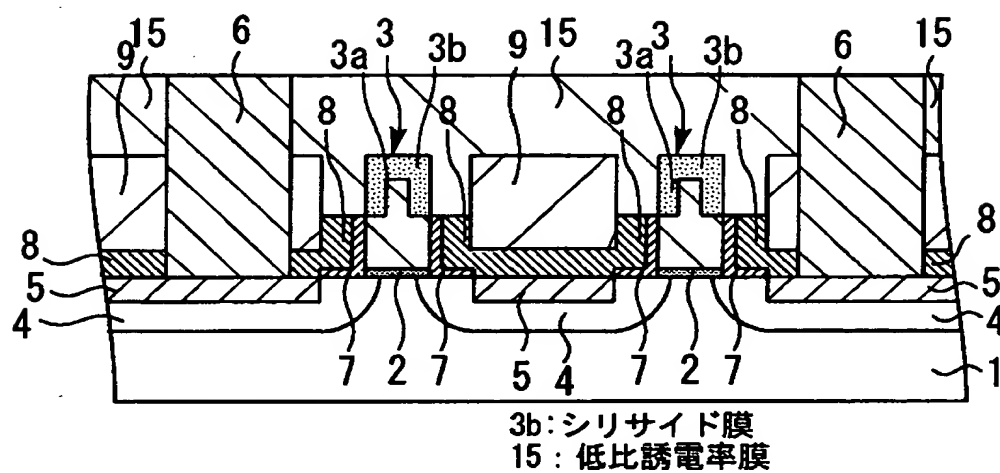


15 : 低比誘電率膜

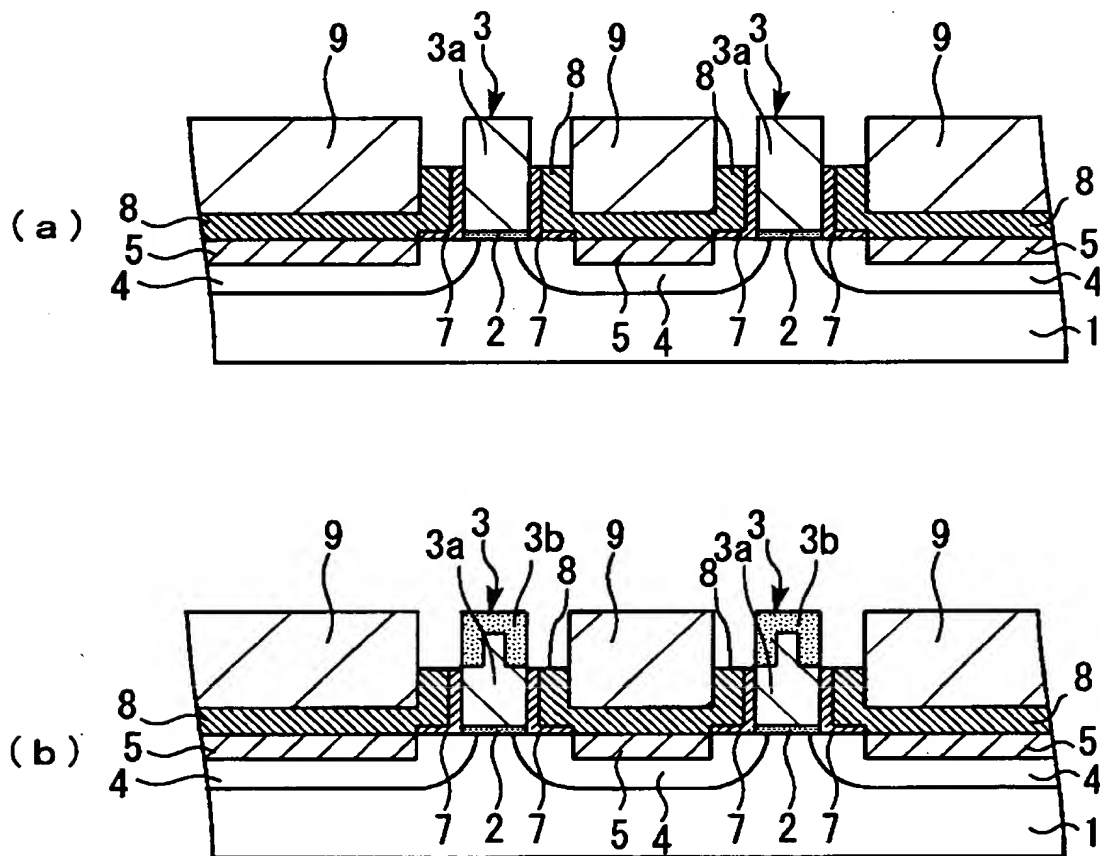
【図 13】



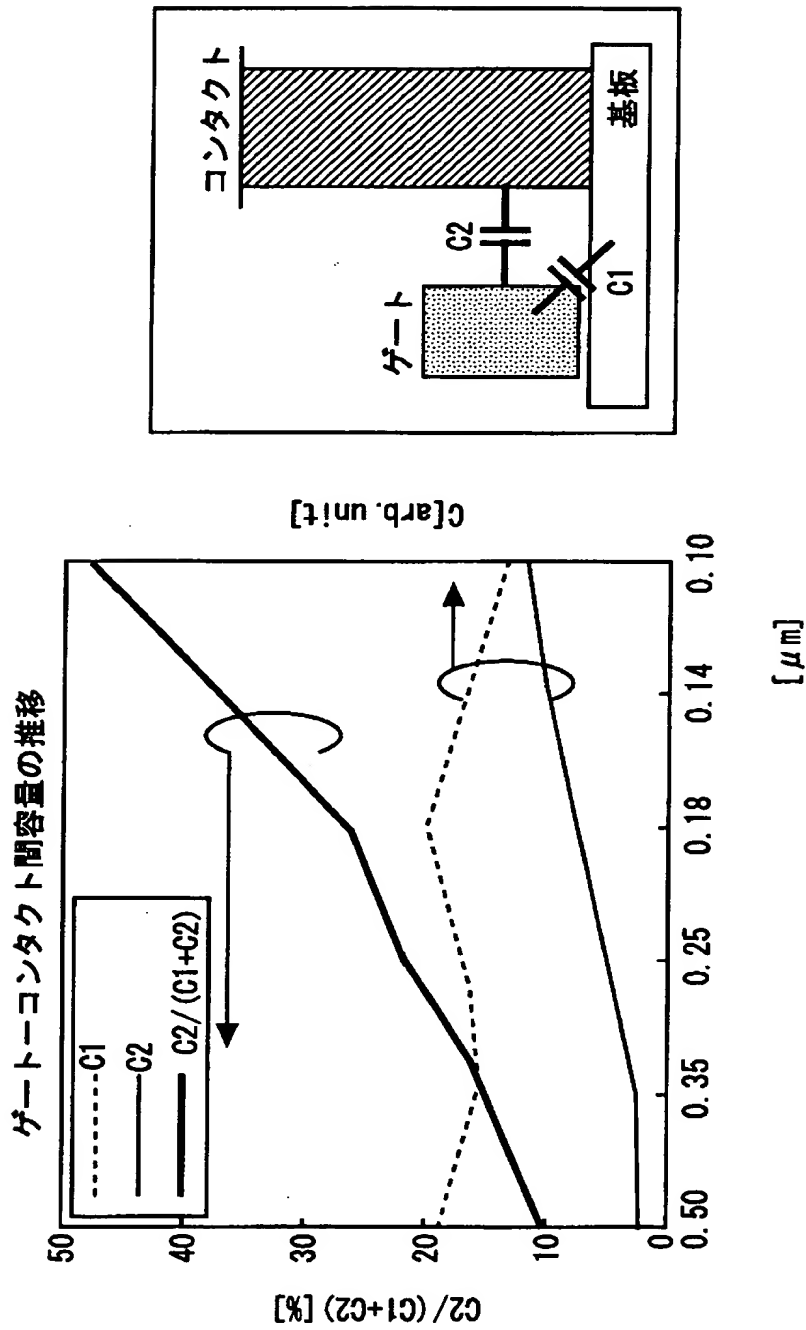
【図14】



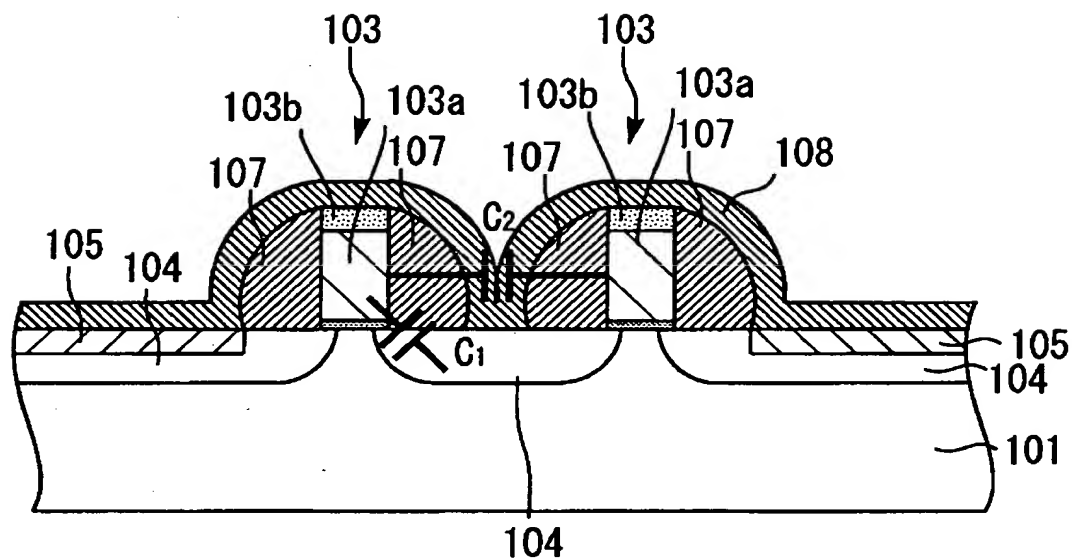
【図15】



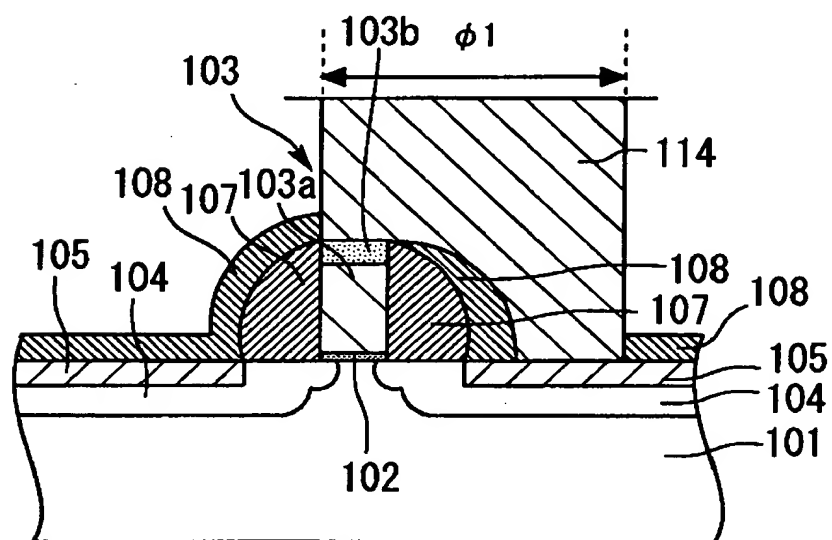
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 ゲート電極周辺の寄生容量を低減させることのできる半導体装置及びその製造方法を提供する。

【解決手段】 シリコン半導体基板 1 上にゲート酸化膜 2 を介して形成されたゲート電極 3 と、ゲート電極 3 の両側のシリコン半導体基板 1 の表面領域に形成された 1 対の不純物拡散層 4 を備えた半導体装置であって、ゲート電極 3 の側壁を覆うようにサイドウォールスペーサとしてのシリコン窒化膜 7 を形成し、シリコン窒化膜 7 をゲート電極 3 近傍におけるシリコン半導体基板 1 上まで連なる略 L 字形状の断面形状とした。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社